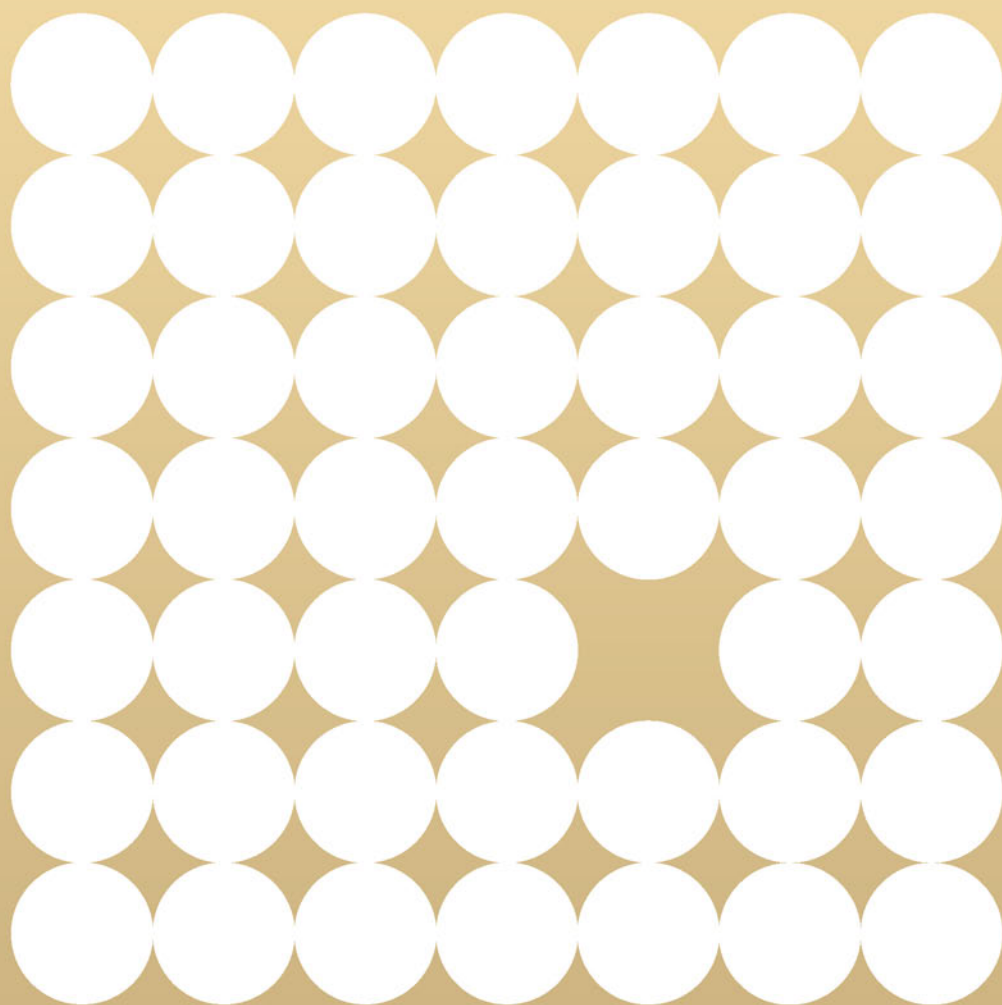


Półprzewodniki Nowoczesne rozwiązania w układach scalonych



Chenming Calvin Hu

Tytuł oryginału: Modern Semiconductor Devices for Integrated Circuits

Tłumaczenie: Konrad Matuk

ISBN: 978-83-283-2090-1

Authorized translation from the English language edition, entitled:
MODERN SEMICONDUCTOR DEVICES FOR INTEGRATED CIRCUITS, ISBN 0136085253; by
Chenming Calvin Hu; published by Pearson Education, Inc, publishing as Prentice Hall.
Copyright © 2010 Pearson Higher Education.

All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage retrieval system, without permission from Pearson Education, Inc.

Polish language edition published by HELION S.A., Copyright © 2016.

Wszelkie prawa zastrzeżone. Nieautoryzowane rozpowszechnianie całości lub fragmentu niniejszej publikacji w jakiegokolwiek postaci jest zabronione. Wykonywanie kopii metodą kserograficzną, fotograficzną, a także kopiowanie książki na nośniku filmowym, magnetycznym lub innym powoduje naruszenie praw autorskich niniejszej publikacji.

Wszystkie znaki występujące w tekście są zastrzeżonymi znakami firmowymi bądź towarowymi ich właścicieli.

Autor oraz Wydawnictwo HELION dołożyli wszelkich starań, by zawarte w tej książce informacje były kompletne i rzetelne. Nie biorą jednak żadnej odpowiedzialności ani za ich wykorzystanie, ani za związane z tym ewentualne naruszenie praw patentowych lub autorskich. Autor oraz Wydawnictwo HELION nie ponoszą również żadnej odpowiedzialności za ewentualne szkody wynikłe z wykorzystania informacji zawartych w książce.

Wydawnictwo HELION
ul. Kościuszki 1c, 44-100 GLIWICE
tel. 32 231 22 19, 32 230 98 63
e-mail: helion@helion.pl
WWW: <http://helion.pl> (księgarnia internetowa, katalog książek)

Drogi Czytelniku!

Jeżeli chcesz ocenić tę książkę, zajrzyj pod adres

<http://helion.pl/user/opinie/polprz>

Możesz tam wpisać swoje uwagi, spostrzeżenia, recenzję.

Printed in Poland.

- [Kup książkę](#)
- [Poleć książkę](#)
- [Oceń książkę](#)

- [Księgarnia internetowa](#)
- [Lubię to! » Nasza społeczność](#)

Spis treści

Przedmowa 11

O autorze 13

● 1 ●

PÓŁPRZEWODNIKI: ELEKTRONY I DZIURY W PÓŁPRZEWODNIKACH 15

- 1.1. • Krystaliczna struktura krzemu 16
 - 1.2. • Model wiązań elektronów i dziur 18
 - 1.3. • Energetyczny model pasmowy 22
 - 1.4. • Półprzewodniki, izolatory i przewodniki 27
 - 1.5. • Elektrony i dziury 29
 - 1.6. • Gęstość stanów 32
 - 1.7. • Równowaga cieplna i funkcja Fermiego 33
 - 1.8. • Koncentracje elektronów i dziur 37
 - 1.9. • Ogólne zagadnienia dotyczące parametrów n i p 43
 - 1.10. • Koncentracje nośników w bardzo niskich i bardzo wysokich temperaturach 47
 - 1.11. • Podsumowanie rozdziału 47
- Zadania 49
- Bibliografia 54
- Publikacje ogólnie związane z tematyką rozdziału 55

● 2 ●

RUCH I REKOMBINACJA ELEKTRONÓW I DZIUR 57

- 2.1. • Ruch cieplny 57
- 2.2. • Dryft 60
- 2.3. • Prąd dyfuzyjny 69
- 2.4. • Zależność pomiędzy wykresem poziomów energetycznych a napięciem i polem elektrycznym 71

- 2.5. • Zależność Einsteina pomiędzy D i μ 71
- 2.6. • Rekombinacja elektron-dziura 74
- 2.7. • Generacja termiczna 77
- 2.8. • Quasi-równowaga i poziomy quasi-Fermiego 77
- 2.9. • Podsumowanie rozdziału 79

Zadania 81

Bibliografia 84

Publikacje ogólnie związane z tematyką rozdziału 84

• 3 •

TECHNOLOGIA PRODUKCJI KOMPONENTÓW PÓŁPRZEWODNIKOWYCH 85

- 3.1. • Wstęp do produkcji komponentów 86
- 3.2. • Utlenianie krzemu 88
- 3.3. • Litografia 89
- 3.4. • Transfer wzorów — trawienie 96
- 3.5. • Domieszkowanie półprzewodnika 99
- 3.6. • Dyfuzja domieszek 101
- 3.7. • Osadzanie cienkich warstw 105
- 3.8. • Proces tworzenia złączy pomiędzy komponentami 110
- 3.9. • Testowanie, montaż i kwalifikacja 113
- 3.10. • Podsumowanie rozdziału — przykładowy proces produkcji komponentu 114

Zadania 116

Bibliografia 120

Publikacje ogólnie związane z tematyką rozdziału 121

• 4 •

ZŁĄCZE P-N I ZŁĄCZE METAL-PÓŁPRZEWODNIK 123

Część I Złącze p-n 123

- 4.1. • Zagadnienia teoretyczne związane ze złączem p-n 124
- 4.2. • Model warstwy zubożonej 128
- 4.3. • Złącze p-n i polaryzacja zaporowa 133
- 4.4. • Charakterystyki pojemnościowo-napięciowe 134
- 4.5. • Przebicie złącza p-n 136
- 4.6. • Iniekcja nośników w polaryzacji przewodzenia i warunkach quasi-równowagi brzegowej 141
- 4.7. • Równanie ciągłości prądu 144
- 4.8. • Nośniki nadmiarowe w złączu p-n w polaryzacji przewodzenia 146
- 4.9. • Charakterystyki prądowo-napięciowe diody półprzewodnikowej 150
- 4.10. • Magazynowanie ładunku 154
- 4.11. • Małosygnałowy model diody 155

Część II Zastosowanie w komponentach optoelektronicznych 156

- 4.12. • Ogniwa fotowoltaiczne 156
- 4.13. • Diody elektroluminescencyjne i oświetlenie półprzewodnikowe 164
- 4.14. • Diody laserowe 170
- 4.15. • Fotodiody 175

Część III Złącze metal-półprzewodnik 176

- 4.16. • Bariera Schottky'ego 176
- 4.17. • Teoria emisji termoelektronowej 181
- 4.18. • Diody Schottky'ego 182
- 4.19. • Zastosowanie diod Schottky'ego 184
- 4.20. • Tunelowanie kwantowo-mechaniczne 186
- 4.21. • Kontakt omowy 186
- 4.22. • Podsumowanie rozdziału 190

Zadania 194

Bibliografia 204

Publikacje ogólnie związane z tematyką rozdziału 205

• 5 •

KONDENSATOR MOS 207

- 5.1. • Warunek i napięcie pasma płaskiego 208
- 5.2. • Akumulacja powierzchniowa 210
- 5.3. • Zubożenie powierzchni 212
- 5.4. • Warunek progowy i napięcie progowe 213
- 5.5. • Silna inwersja poza warunkami progowymi 216
- 5.6. • Charakterystyki pojemnościowo-napięciowe kondensatora MOS 220
- 5.7. • Ładunek tlenku — wpływ na U_{fb} i U_t 225
- 5.8. • Zubożenie bramki wykonanej z krzemu polikrystalicznego spowodowane wzrostem T_{ox} 228
- 5.9. • Grubość i efekt kwantowo-mechaniczny warstw inwersji i akumulacji 230
- 5.10. • Matryca CCD i CMOS 233
- 5.11. • Podsumowanie rozdziału 240

Zadania 243

Bibliografia 252

Publikacje ogólnie związane z tematyką rozdziału 252

• 6 •

TRANZYSTOR MOS 253

- 6.1. • Transzystory MOSFET — wprowadzenie 253
- 6.2. • Struktura komplementarna MOS (technologia CMOS) 254
- 6.3. • Ruchliwości powierzchniowe i układy FET charakteryzujące się dużą mobilnością 260

6.4. •	Napięcie U_t , efekt podłoża i domieszkowanie tranzystora MOSFET	267
6.5. •	Parametr Q_{inw} charakteryzujący tranzystory MOSFET	271
6.6. •	Podstawowy model prądowo-napięciowy tranzystora MOSFET	272
6.7. •	Przykładowy układ: inwerter CMOS	276
6.8. •	Nasycenie prędkości	282
6.9. •	Model prądowo-napięciowy tranzystora MOSFET uwzględniający nasycenie prędkości	284
6.10. •	Pasożytnicza rezystancja źródło-dren	289
6.11. •	Wyciąganie rezystancji szeregowej i efektywnej długości kanału	290
6.12. •	Przerost prędkości i limit prędkości źródła	293
6.13. •	Konduktancja wyjściowa	295
6.14. •	Wydajność przy wysokich częstotliwościach	296
6.15. •	Zakłócenia tranzystorów MOSFET	299
6.16. •	SRAM, DRAM i kości pamięci nieulotnej flash	305
6.17. •	Podsumowanie rozdziału	314
	Zadania	318
	Bibliografia	330
	Publikacje ogólnie związane z tematyką rozdziału	331

• 7 •

TRANZYSTORY MOSFET W UKŁADACH SCALONYCH — ZMIANA SKALI, PRĄD UPŁYWU I INNE ZAGADNIENIA 333

7.1. •	Zmiana skali technologii — zmniejszenie kosztów produkcji, wzrost szybkości, zmniejszenie poboru prądu	334
7.2. •	Prąd podprogowy — „wyłączony” nie oznacza „zupełnie wyłączony”	338
7.3. •	Spadek wzmocnienia napięcia U_t — tranzystory MOSFET o krótkich kanałach charakteryzują się większym prądem upływu	342
7.4. •	Redukcja grubości elektrycznej izolacji bramki i wpływ tunelowy	347
7.5. •	Redukcja parametru W_{zub}	349
7.6. •	Płytkie złącze i tranzystory MOSFET z metalowymi źródłami i drenami	352
7.7. •	Kompromis pomiędzy I_{wl} i $I_{wył}$ a opracowywanie projektu pod kątem możliwości produkcji	354
7.8. •	Tranzystory MOSFET o bardzo cienkich korpusach i wielu bramkach	357
7.9. •	Konduktancja wyjściowa	362
7.10. •	Symulacja procesów i komponentów	364
7.11. •	Kompaktowy model tranzystora MOSFET używany w symulacji pracy obwodu	365
7.12. •	Podsumowanie rozdziału	366
	Zadania	368
	Bibliografia	371
	Publikacje ogólnie związane z tematyką rozdziału	372

● 8 ●

TRANZYSTOR BIPOLARNY 373

- 8.1. • Wprowadzenie do tranzystorów BJT 374
- 8.2. • Prąd kolektora 376
- 8.3. • Prąd bazy 380
- 8.4. • Wzmocnienie prądowe 381
- 8.5. • Modulacja szerokości bazy napięciem kolektora 386
- 8.6. • Model Ebersa-Molla 389
- 8.7. • Czas opadania i magazynowanie ładunku 392
- 8.8. • Model małosygnałowy 396
- 8.9. • Częstotliwość graniczna 399
- 8.10. • Model sterowany prądem 400
- 8.11. • Model do wielkosygnałowej symulacji pracy obwodu 404
- 8.12. • Podsumowanie rozdziału 406

Zadania 408

Bibliografia 414

Publikacje ogólnie związane z tematyką rozdziału 414

DODATEK A

Wyprowadzenie wzorów na gęstość stanów 415

DODATEK B

Wyprowadzenie funkcji rozkładu Fermiego-Diraca 419

DODATEK C

Samouczgodnienie założeń dotyczących nośników mniejszościowych 423

Odpowiedzi do wybranych zadań 427

Skorowidz 433

Tranzystory MOSFET w układach scalonych — zmiana skali, prąd upływu i inne zagadnienia

CELE ROZDZIAŁU

W rozdziale tym omówię sposoby dalszej redukcji długości bramki tranzystora MOSFET. Kolejnymi ważnymi zagadnieniami dotyczącymi tranzystorów MOSFET, które zostaną przedstawione w tym rozdziale, są prąd stanu wyłączenia i prąd upływu. Rozdział ten stanowi dopełnienie wyводу na temat prądu stanu wyłączenia, który został zaprezentowany w poprzednim rozdziale. W tym rozdziale omówię również tematy takie jak podprogowy prąd upływu i jego wpływ na redukcję rozmiaru tranzystora, zależności pomiędzy I_{wl} i I_{wy} i ich wpływ na projektowanie obwodów. Szczególną uwagę zwróciłem na opisanie możliwości zmniejszania skali scalenia układów MOSFET w przyszłości: zwiększanie ruchliwości nośników, zastosowanie dielektryków charakteryzujących się wysokim współczynnikiem k do produkcji metalowych bramek, technologia SOI (krzem na izolatorze), wielobramkowe tranzystory MOSFET, metalowe źródła i dreny itp. W rozdziale tym opisałem także symulację tranzystora MOSFET oraz kompaktowy model symulacji obwodu.

Układy scalone typu metal-tlenek-półprzewodnik (MOS) zaspokajają rosnące zapotrzebowanie na komponenty elektroniczne w informatyce, telekomunikacji, rolnictwie, przemyśle motoryzacyjnym i wielu innych dziedzinach życia. Układy te są stale ulepszane pod względem kosztu produkcji, szybkości pracy i poboru mocy. Dzięki rozwojowi układy te mogą być stosowane w nowych aplikacjach. Przyczyniają się w ten sposób do wzrostu jakości naszego życia i produktywności.

7.1. • ZMIANA SKALI TECHNOLOGII — ZMNIEJSZENIE KOSZTÓW PRODUKCJI, WZROST SZYBKOŚCI, ZMNIEJSZENIE POBORU PRĄDU •

W ciągu 45 lat (od 1965 r.) koszt produkcji jednego bitu pamięci półprzewodnikowej zmalał 100 milionów razy. Koszt produkcji bramek logicznych uległ podobnej, znacznej redukcji. Spadek kosztów produkcji stymulował rozwój nowych zastosowań technologii półprzewodnikowych, co miało wpływ na prawie wszystkie dziedziny życia. Tak szybki rozwój elektroniki był możliwy dzięki „miniaturyzacji”. Zmniejszanie rozmiarów tranzystorów i łączących ich elementów pozwala na zmieszanie większej liczby układów na krzemowym waflu, dzięki czemu koszt produkcji pojedynczego układu staje się mniejszy. Miniaturyzacja pozwoliła również zwiększyć szybkość pracy układów scalonych oraz zmniejszyć ilość pobieranego przez nich prądu.

Gordon Moore sformułował w 1965 r. twierdzenie, zgodnie z którym liczba komponentów znajdujących się na powierzchni czypa podwaja się co 18 – 24 miesiące. Jest to **prawo Moore’a**, które opisuje trend miniaturyzacji. Za każdym razem, gdy minimalna szerokość linii jest zredukowana, mówimy o wprowadzeniu **technologii kolejnej generacji** lub kolejnego **węzła technologicznego**. Przykładowe technologie to: 0,18 μm , 0,13 μm , 90 nm, 65 nm, 45 nm itd. Liczby te odwołują się do minimalnej szerokości metalowej linii. Długość bramki wykonanej z polikrystalicznego krzemu może być znacznie mniejsza. W każdej kolejnej technologii wszystkie elementy układu, takie jak otwory złączy, są zmniejszone o nawet 70% w stosunku do poprzedniej technologii. Praktyka cyklicznego zmniejszania rozmiarów określana jest mianem **skalowania**. Kolejne generacje technologii produkcji półprzewodników są wprowadzane co 2 – 3 lata.

Główną zaletą wprowadzania nowych technologii jest zmniejszenie o połowę rozmiarów obwodu (zmniejszenie szerokości linii o 70% pozwala na zredukowanie obszaru o około 50% — $0,7 \times 0,7 = 0,49$). W związku z tym, że na krzemowym waflu można zmieścić dwukrotnie więcej obwodów, koszt produkcji pojedynczego obwodu znacznie się obniża. Dzięki temu czipy stają się coraz tańsze.

• Pierwsze reakcje na ideę tworzenia układów scalonych •

Zamieszczoną poniżej anegdotę opowiedział dr Jack Kilby 22 stycznia 1991 r.

„Dzisiaj wszyscy akceptują tworzenie układów scalonych, ale nie zawsze tak było. Gdy w 1959 r. ogłoszono ideę produkcji układów scalonych, pomysł ten spotkał się z pewnymi wątpliwościami:

1. Wydajność tranzystora może być obniżona wskutek kompromisów spowodowanych instalacją innych komponentów, takich jak rezystory i kondensatory.
2. Układy tego typu będą trudne w produkcji, a więc produkcja ich będzie mało opłacalna.
3. Zaprojektowanie takiego układu będzie drogie, a jego modyfikacja utrudniona.

Rozmowy na te tematy wypełniały spotkania osób związanych z branżą techniczną przez kolejne 5 – 6 lat”.

W 1959 r. Jack Kilby, pracujący dla firmy Texas Instruments, i Robert Noyce, pracujący dla firmy Fairchild Semiconductor, niezależnie wymyślili technologię łączenia ze sobą wielu komponentów tworzących jeden obwód elektroniczny. Po dziecięciu latach batalii sądowej patenty obu firm zostały uznane za ważne, a Noyce i Kilby zostali uznani za współtwórców układu scalonego. Doktor Kilby otrzymał w 2000 r. Nagrodę Nobla w dziedzinie fizyki za wynalezienie układu scalonego. Doktor Noyce, który stworzył planarną technologię produkcji układów scalonych poprzez układanie kolejnych warstw materiałów, nie doczekał się takiego wyróżnienia, ponieważ zmarł w 1990 r.

Poza szerokością linii podczas skalowania technologii produkcji tranzystorów MOSFET redukcji ulegają również inne parametry, takie jak grubość tlenku bramki, a także napięcie zasilające. Parametry te są redukowane tak, aby gęstość prądu tranzystora (I_w/W) wzrastała w każdej kolejnej technologii. Ponadto zmniejszanie rozmiarów tranzystorów pozwala na łączenie ich za pomocą krótszych elementów połączeniowych, które charakteryzują się mniejszą pojemnością. Wszystkie te zmiany powodują zmniejszenie opóźnienia działania obwodu (zobacz równanie 6.7.1). Podczas wprowadzania kolejnych technologii szybkość działania układów scalonych wzrastała średnio o około 30%. Większe szybkości pozwalają na stosowanie układów scalonych w nowych aplikacjach — np. w nadajnikach danych charakteryzujących się szerokim pasmem (układy takie znajdują się w telefonach komórkowych).

Zmniejszanie skali ma jeszcze jedną zaletę. Z równania 6.7.6 wynika, że redukcja pojemności, a zwłaszcza redukcja napięcia zasilającego, efektywnie zmniejsza ilość prądu pobieranego przez komponent. Dzięki redukcji parametrów C i U_{dd} pobór mocy przez układy scalone wzrósł tylko nieznacznie pomimo wzrostu częstotliwości przełączania (f), a także podwojenia liczby tranzystorów wchodzących w skład układów scalonych tworzonych w kolejnych technologiach. Gdyby nie zmniejszanie skali, to mikroprocesor jednego komputera osobistego, który składałby się z miliarda tranzystorów pracujących z częstotliwością 2 GHz, wyprodukowany w technologii stosowanej w latach 70. ubiegłego wieku, pobierałby tyle prądu, ile generuje cała elektrownia.

Reasumując, zmniejszanie skali produkcji tranzystorów zmniejsza koszt ich produkcji, zwiększa szybkość pracy i zmniejsza ilość pobieranego przez nich prądu. Wszystkie te parametry znacząco się poprawiły (od 10 do 100 milionów razy) w ciągu czterdziestu lat — jest to największe osiągnięcie inżynieryjne w historii ludzkości! W świecie układów scalonych małe jest piękne!

7.1.1. Innowacje pozwalające na zmniejszanie skali

Osoby zajmujące się rozwojem półprzewodników spotykają się kilka razy w ciągu roku i dyskutując, próbują określić wydajność tranzystorów i układów, która będzie spełniała zapotrzebowania rynku w przyszłości. W wyniku tych spotkań co roku publikowany jest *Międzynarodowy plan działań w sprawie półprzewodników (ITRS)*, w którym wyznaczane są cele i wymieniane problemy. Nie zawiera on rozwiązań [1], a jedynie informuje producentów narzędzi produkcyjnych i materiałów, a także społeczność badaczy o spodziewanych ograniczeniach. Lista tych ograniczeń jest zawsze długa, ale innowacyjni inżynierowie, pracując samodzielnie lub w zespołach, zawsze znajdowali rozwiązania problemów, które początkowo wydawały się niemożliwe do rozwiązania.

W tabeli 7.1 przedstawiono pewne historyczne przewidywania, jak również przewidywania wymienione w dokumencie ITRS. Akronimem HP oznaczono technologię produkcji procesorów komputerowych o wysokiej wydajności, a akronimem LSTP oznaczono technologię produkcji układów pobierających małą ilość prądu w trybie czuwania (komponenty takie stosowane są do produkcji np. telefonów komórkowych). Fizyczna długość bramki L_g jest w rzeczywistości mniejsza od szerokości węzła technologicznego. Na przykład w przypadku węzła o szerokości 90 nm technika litograficzna może odwzorować za pomocą fotorezystu linię o szerokości zaledwie 90 nm, ale inżynierowie, przenosząc wzór na linie wykonane z tlenków, a następnie wytrawiając je izotropowo za pomocą narzędzia przeznaczonego do suchego trawienia izotropowego (zobacz podrozdział 3.4), są w stanie zmniejszyć szerokość (i grubość) linii tlenku. Zwężone linie tlenku mogą pełnić funkcję nowej maski podczas wytrawiania nowych wzorów bramek. Niezliczona ilość innowacji wprowadzonych przez inżynierów podczas pracy nad kolejnymi węzłami technologicznymi umożliwiła zmniejszanie układów scalonych.

7.1.2. Rozciągnięty krzem i inne innowacje

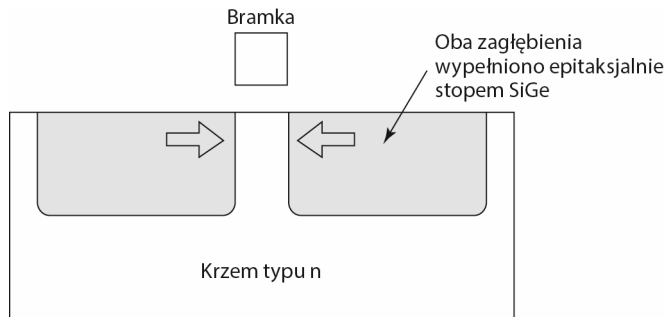
W tabeli 7.1 widać gwałtowny wzrost prądu I_{wl} . Dzieje się tak, gdyż wraz z technologią produkcji węzłów o szerokości 90 nm wprowadzono również technologię tworzenia **rozciągniętego krzemu**. Ruchliwość elektronów i dziur może być zwiększona (lub zmniejszona) przez ostrożne mechaniczne odkształcanie materiału. Odkształcenia zmieniają stałą sieciową krzemu, a więc modyfikują także zależność pomiędzy parametrami E i k (wynika to z równania falowego Schrödingera). Zależność pomiędzy parametrami E i k wpływa na masę efektywną i ruchliwość.

Na przykład ruchliwość powierzchniowa charakteryzująca tranzystor PFET może zostać zwiększona, gdy jego kanał zostanie odkształcony w wyniku ściśnięcia. Tego typu odkształcenie można uzyskać na kilka sposobów. Jeden z nich został przedstawiony na rysunku 7.1. Po zdefiniowaniu bramki w krzemie znajdującym się w jej

TABELA 7.1. Skalowanie technologii od 90 nm do 22 nm i innowacje, które to umożliwiły

Rok produkcji	2003	2005	2007	2010	2013
Węzeł technologiczny (nm)	90	65	45	32	22
L_g (nm) (HP/LSTP)	37 – 65	26 – 45	22 – 37	16 – 25	13 – 20
EOT_e(nm) (HP/LSTP)	1,9 – 2,8	1,8 – 2,5	1,2 – 1,9	0,9 – 1,6	0,9 – 1,4
U_{DD} (HP/LSTP)	1,2 – 1,2	1,1 – 1,1	1,0 – 1,1	1,0 – 1,0	0,9 – 0,9
I_{wb} HP ($\mu A/\mu m$)	1100	1210	1500	1820	2200
I_{wyl} HP ($\mu A/\mu m$)	0,15	0,34	0,61	0,84	0,37
I_{wb} LSTP ($\mu A/\mu m$)	440	465	540	540	540
I_{wyl} LSTP ($\mu A/\mu m$)	1E-5	1E-5	3E-5	3E-5	2E-5
Innowacje	→ Rozciągnięty krzem → Wysoki parametr k , metalowa bramka → Mokra litografia → Nowa struktura				

Legenda: HP — technologia wysokiej wydajności; LSTP — technologia produkcji układów pobierających prąd o małym natężeniu w trybie oczekiwania; EOT_e — zastępcza elektryczna grubość warstwy tlenku (jest to ekwiwalent T_{oxe}); I_{wt} — natężenie prądu I_{wt} tranzystora NFET.



RYSUNEK 7.1. Przykład tranzystora MOSFET wyprodukowanego w technologii rozciągniętego krzemu; ruchliwość dziur może być zwiększona poprzez odkształcenie wywołane ścisnieniem, co zostało symbolicznie oznaczone strzałkami ściskającymi obszar kanału

sąsiedztwie wytrawiane są zagłębienia. Wyżłobienia te są wypełnione w procesie osadzania warstwy epitaksjalnej (zobacz punkt 3.7.3) za pomocą stopu SiGe, zwykle składającego się w 20% z Ge i w 80% z Si. Atomy Ge są większe od atomów Si, a w efekcie osadzania warstwy epitaksjalnej w wyżłobieniu umieszczana jest liczba atomów równa liczbie atomów wcześniej usuniętych z wyżłobienia — większe elementy są wciskane do zbyt małego zagłębienia. W wyniku tego powstaje siła rozpychająca obszar kanału (zobacz rysunek 7.1) i zwiększająca ruchliwość dziur. Ponadto

warto jest wprowadzić do samego kanału cienką warstwę Ge, ponieważ materiał ten charakteryzuje się wyższą ruchliwością nośników niż krzem [3].

W tabeli 7.1 ujęto parametr EOT_e , czyli **zastępczą elektryczną grubość warstwy tlenku**. Jest on sumą grubości dielektryka bramki, warstwy zubożenia polikrystalicznej bramki (o ile takowa warstwa istnieje) i warstwy inwersyjnej, wyrażoną jako grubość ekwiwalentnej warstwy SiO_2 . Parametr ten znacznie się poprawił (został zredukowany) w technologii węzła o szerokości 45 nm. Pozwoliło na to zastosowanie metalowej bramki i dielektryka charakteryzującego się wysokim parametrem k , co zostanie omówione w podrozdziale 7.4.

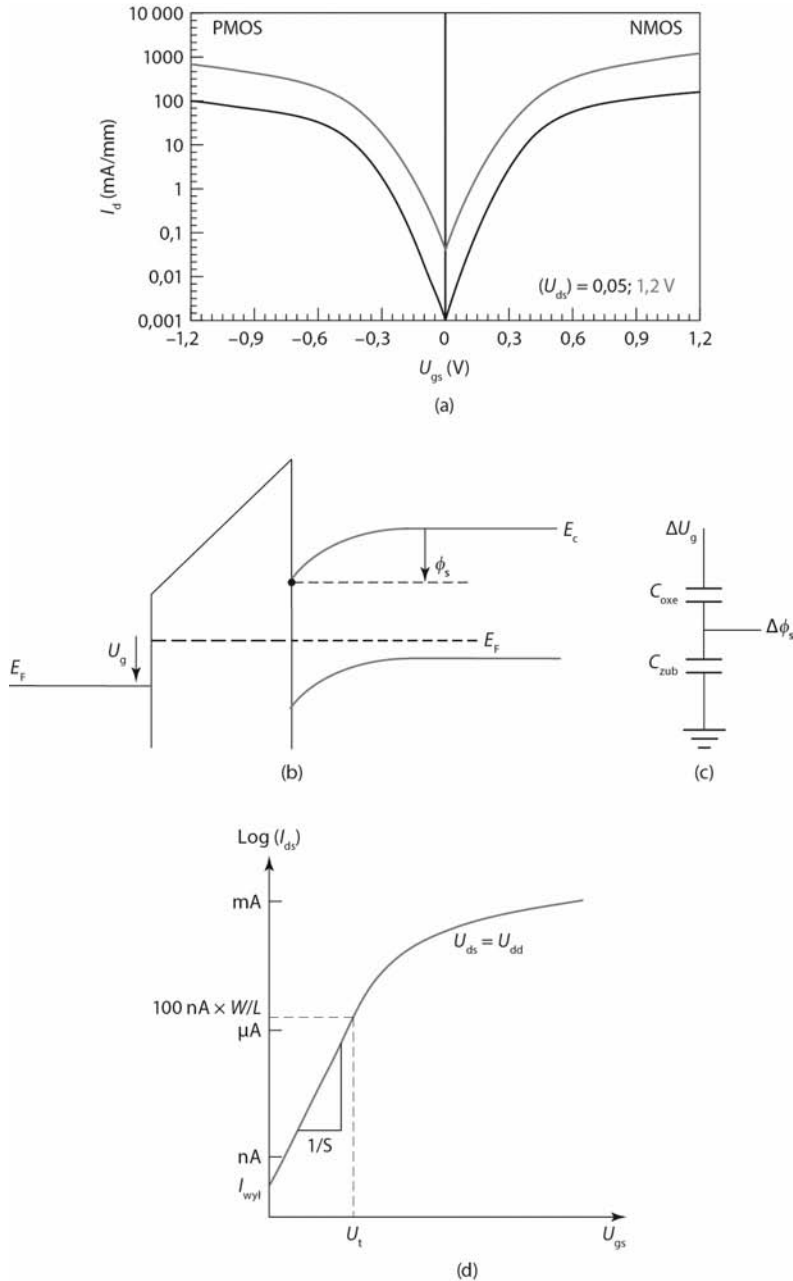
W przypadku węzła technologicznego o szerokości 32 nm do odwzorowania tak małych wzorów zastosowano moką litografię (zobacz punkt 3.3.1). W przypadku węzła technologicznego o szerokości 22 nm, w celu zmniejszenia prądu $I_{wył}$ (rozwiązania narastającego problemu zbytniego poboru prądu), można tworzyć tranzystory o nowych strukturach. Wybrane struktury tego typu zostaną przedstawione w podrozdziale 7.8.

7.2. • PRĄD PODPROGOWY — „WYŁĄCZONY” NIE OZNACZA „ZUPEŁNIE WYŁĄCZONY” •

Szybkość działania obwodu wzrasta wraz ze wzrostem prądu I_{wl} . W związku z tym warto jest zmniejszać napięcie U_i . Czy możliwe jest osiągnięcie dowolnie niskiego napięcia U_i , osiągającego wartość np. 10 mV? Nie.

Gdy $U_{gs} < U_t$, tranzystor MOSFET z kanałem typu n jest w trybie wyłączenia. Nawet w tym stanie może dochodzić do przepływu prądu upływu pomiędzy drenem a źródłem. Prąd płynący przez tranzystor MOSFET, gdy $U_{gs} < U_t$, określamy mianem **prądu podprogowego**. Jest to główny składnik **prądu wyłączenia** tranzystora MOSFET ($I_{wył}$). Prąd $I_{wył}$ jest prądem I_s mierzonym przy napięciu $U_{gs} = 0$ i $U_{ds} = U_{dd}$. Utrzymanie jak najniższego prądu $I_{wył}$ jest konieczne w celu zminimalizowania statycznej mocy pobieranej przez układ w trybie czuwania. Gdyby np. natężenie prądu $I_{wył}$ tranzystora osiągało niewielką wartość 100 nA, to czip telefonu komórkowego składający się ze stu milionów tranzystorów pobierałby prąd o natężeniu 10 A nawet w trybie czuwania. Akumulator telefonu zostałby przez taki układ rozładowany w ciągu zaledwie kilku minut bez prowadzenia rozmowy przez użytkownika. Procesor komputera składający się z jeszcze większej liczby takich tranzystorów wypromieniowywałby jeszcze więcej ciepła, co spowodowałoby kłopoty z chłodzeniem samego procesora, jak również całego systemu.

Na rysunku 7.2a zaprezentowano wykres prądu podprogowego. Na wykresie tym pokazano na skali półlogarytmicznej zależność prądu I_{ds} od napięcia U_{gs} . Wykres natężenia prądu I_{ds} jest linią prostą, gdy napięcie U_{gs} jest niższe od U_t (prąd I_{ds} jest wtedy wykładniczą funkcją napięcia U_{gs}).



RYSUNEK 7.2. Gdy $U_{gs} < U_t$, przez tranzystor przepływa prąd podprogowy; $U_t \sim 0,2$ V; wyższa krzywa dotyczy $U_{ds} = 50$ mV, a niższa $U_{ds} = 1,2$ V (źródło: [2]); (b) gdy napięcie U_g wzrasta, poziom E_c powierzchni zbliża się do poziomu E_f , powodując wzrost n_s i I_{ds} ; (c) sieć pojemności zastępczej; (d) charakterystyki prądowo-napięciowe przy napięciu U_t i natężeniu I_{wyl} (wahanie oznaczone literą S jest odwrotnością nachylenia wykresu w obszarze podprogowym)

Na rysunkach 7.2b – 7.2d wyjaśniono zagadnienie dotyczące prądu podprogowego. Gdy napięcie U_{gs} jest niższe od U_t , koncentracja elektronów inwersyjnych (n_s) jest mała, ale umożliwia przepływ niewielkiego prądu upływu pomiędzy źródłem i drenem. Na rysunku 7.2b wyższe napięcie U_{gs} spowoduje przesunięcie powierzchniowego poziomu E_c w stronę poziomu E_F , co wywoła wzrost koncentracji n_s i prądu I_{ds} . Na przykładzie schematu obwodu zastępczego, który przedstawiono na rysunku 7.2c, można zauważyć, że:

$$\frac{d\phi_s}{dU_{gs}} = \frac{C_{oxe}}{C_{oxe} + C_{zub}} \equiv \frac{1}{\eta} \quad (7.2.1)$$

$$\eta = 1 + \frac{C_{zub}}{C_{oxe}} \quad (7.2.2)$$

Całkując równanie 7.2.1, otrzymamy:

$$\phi_s = \text{stała} + U_g / \eta \quad (7.2.3)$$

Natężenie prądu I_{ds} jest proporcjonalne do koncentracji n_s , a więc:

$$I_{ds} \propto n_s \propto e^{q\phi_s / kT} \propto e^{q(\text{stała} + U_g / \eta) / kT} \propto e^{qU_g / \eta kT} \quad (7.2.4)$$

Praktyczna i popularna definicja napięcia U_t mówi, że jest to napięcie U_{gs} , przy którym $I_{ds} = 100 \text{ nA} \times W/L$, co pokazano na rysunku 6.12. (Niektóre firmy, definiując ten parametr, zamiast natężenia 100 nA przyjmują natężenie 200 nA). Równanie 7.2.4 może być przedstawione w następującej formie:

$$I_{ds}(nA) = 100 \cdot \frac{W}{L} \cdot e^{(U_{gs} - U_t) / \eta kT} \quad (7.2.5)$$

Oczywiście równanie 7.2.5 zgadza się z definicją napięcia U_t i równaniem 7.2.4. Prostota równania 7.2.5 jest kolejnym argumentem przemawiającym za nową definicją napięcia U_t . W temperaturze pokojowej wartość funkcji $\exp(qU_{gs}/kT)$ zmienia się o 10 przy każdej zmianie napięcia U_{gs} o 60 mV, a więc wartość funkcji $\exp(qU_{gs}/kT)$ zmienia się o 10 dla każdego $\eta \times 60 \text{ mV}$. Jeżeli np. $\eta = 1,5$, to według równania 7.2.5 prąd I_{ds} maleje dziesięciokrotnie przy spadku napięcia U_{gs} o każde 90 mV poniżej napięcia U_t w temperaturze pokojowej. Wartość $\eta \times 60 \text{ mV}$ określamy mianem **wahania podprogowego** i oznaczamy symbolem S .

$$S(mV/\text{dekadę}) = \eta \cdot 60 \text{ mV} \cdot \frac{T}{300 \text{ K}} \quad (7.2.6)$$

$$I_{ds}(nA) = 100 \cdot \frac{W}{L} \cdot e^{(U_{gs} - U_t) / \eta kT} = 100 \cdot \frac{W}{L} \cdot 10^{(U_{gs} - U_t) / S} \quad (7.2.7)$$

$$I_{wył}(nA) = 100 \cdot \frac{W}{L} \cdot e^{-qU_t / \eta kT} = 100 \cdot \frac{W}{L} \cdot 10^{-U_t / S} \quad (7.2.8)$$

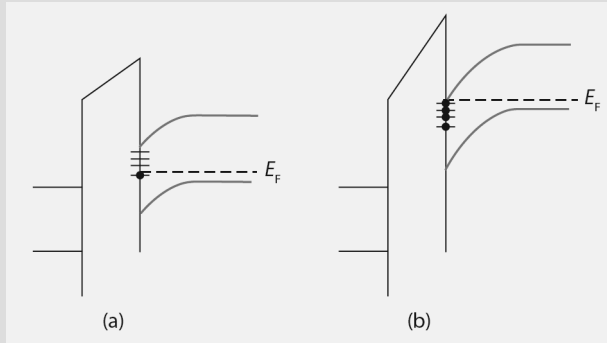
Na rysunku 7.2 przedstawiono dwa sposoby minimalizacji prądu I_{ds} dla danych parametrów W i L . Pierwszym sposobem jest wybranie dużego napięcia U_t . Nie jest to dobre rozwiązanie, ponieważ duże napięcie U_t zmniejsza prąd I_{wl} , a więc zmniejsza szybkość komponentu (zobacz równanie 6.7.1). Lepszym rozwiązaniem jest zredukowanie wahania podprogowego. Parametr S może być zmniejszony poprzez redukcję parametru η . Można to zrobić, zwiększając pojemność C_{oxe} (zobacz równanie 7.2.2), tj. zmniejszając grubość T_{ox} , co powoduje zmniejszenie pojemności C_{zub} , a to z kolei powoduje wzrost W_{zub} ¹. Kolejnym sposobem na redukcję wahania podprogowego, a więc redukcję prądu I_{wyl} , jest umieszczenie tranzystora w temperaturze o wiele niższej od temperatury pokojowej. Ta ostatnia metoda jest skuteczna, ale w praktyce rzadko stosowana, gdyż chłodzenie układu generuje dodatkowe koszty.

Poza wpływem podprogowym istnieje jeszcze jeden ważny składnik prądu upływu. Jest to upływ tunelowy, do którego dochodzi w bardzo cienkich warstwach tlenu bramki. Zagadnienie to zostanie przedstawione w podrozdziale 7.4. Trzecim komponentem prądu upływu jest upływ prądu, do którego dochodzi pomiędzy drenem a podłożem tranzystora.

• Skutki obecności stanów złącza •

Obecność stanów złącza powoduje degradację wahania podprogowego (zobacz podrozdział 5.7). Na rysunku 7.3 pokazano, że gdy dochodzi do zmiany parametru ϕ_s , to niektóre pułapki złącza przenoszą się znad poziomu Fermiego na poziomy znajdujące się poniżej (dochodzi również do odwrotnego ruchu pułapek). W związku z tym puste dotąd pułapki są zajmowane przez elektrony. Zmiana napięcia (ϕ_s) powoduje zmianę ładunku — zwiększana jest pojemność. Stany złącza powodują dodanie do układu pojemności równoległej do C_{zub} (zobacz rysunek 7.2c). Wahanie podprogowe jest niewielkie, o ile złącze półprzewodnik-dielektryk nie posiada niskiego zagęszczenia stanów złącza (przykładem takiego złącza może być dokładnie przygotowane złącze Si-SiO₂). Po wystawieniu tranzystora MOSFET na działanie silnych pól elektrycznych i wygenerowaniu nowych stanów złącza zwykle dochodzi do zmniejszenia wahania podprogowego (zobacz ramka w podrozdziale 5.7).

¹ Zgodnie z równaniami 6.5.2 i 7.2.2 parametry η i m powinny być sobie równe. W rzeczywistości η jest większe od m , ponieważ przy niskim napięciu U_{gs} (warunek podprogowy) pojemność C_{oxe} jest mniejsza niż w warunkach inwersyjnych; dzieje się tak z powodu większej wartości T_{inw} , co pokazano na rysunku 5.25. Niezależnie od tego parametry η i m są ze sobą ściśle związane.



RYSUNEK 7.3. (A) Większość stanów złącza jest pusta, ponieważ znajduje się powyżej E_F ; (b) przy innym napięciu U_g większość stanów złącza jest wypełniona elektronami, w związku z tym gęstość ładunku złącza zmienia się wraz ze zmianą napięcia U_g

Przykład 7.1. Prąd upływu podprogowego

Tranzystor z kanałem typu n charakteryzuje się następującymi parametrami: $U_t = 0,34 \text{ V}$, $S = 85 \text{ mV}$, $W = 10 \text{ }\mu\text{m}$ i $L = 50 \text{ nm}$. (a) Oszacuj prąd I_{wyl} . (b) Oszacuj prąd I_{ds} przy napięciu $U_g = 0,17 \text{ V}$.

ROZWIĄZANIE:

a. Skorzystaj z równania 7.2.6.

$$I_{\text{wyl}} (\text{nA}) = 100 \cdot \frac{W}{L} \cdot 10^{-U_t/S} = 100 \cdot \frac{10}{0,05} \cdot 10^{-0,34/0,085} = 2 \text{ nA}$$

b. Skorzystaj z równania 7.2.7.

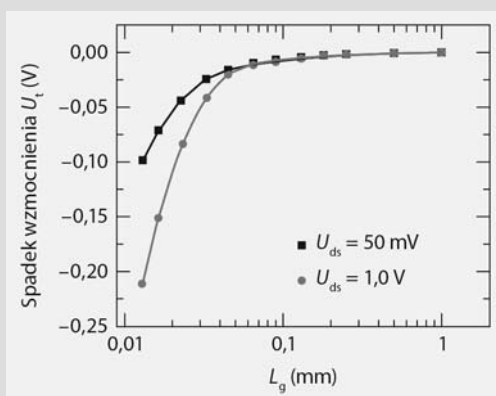
$$I_{\text{ds}} = 100 \cdot \frac{W}{L} \cdot 10^{(U_g - U_t)/S} = 100 \cdot \frac{10}{0,05} \cdot 10^{(0,17 - 0,34)/0,085} = 200 \text{ nA}$$

7.3. • SPADEK WZMOCNIENIA NAPIĘCIA U_t — TRANZYSTORY MOSFET O KRÓTKICH KANAŁACH CHARAKTERYZUJĄ SIĘ WIĘKSZYM PRĄDEM UPŁYWU •

W poprzednim podrozdziale stwierdziłem, że napięcie U_t nie może być zbyt niskie, ponieważ prąd I_{wyl} będzie wtedy zbyt wysoki. W tym podrozdziale rozszerzę to zagadnienie i wykażę, że długość kanału (L) nie może przyjmować zbyt niskich wartości. Dzieje się tak, gdyż malejący parametr L powoduje spadek napięcia U_t , co pokazano na rysunku 7.4. Zbyt duży spadek napięcia U_t powoduje zbyt duży wzrost prądu I_{wyl} , a więc zbyt krótki kanał nie jest czymś pożądanym.

• Długość bramki (L_g) a skuteczna elektryczna długość kanału (L) •

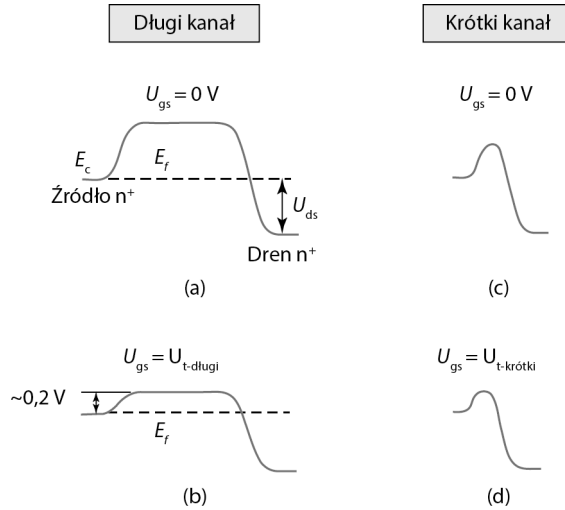
Długość bramki jest fizyczną długością bramki i może zostać dokładnie zmierzona za pomocą elektronowego mikroskopu skaningowego. Długość ta jest precyzyjnie określana podczas produkcji. Natomiast długość kanału nie może być łatwo określona z dużą dokładnością z powodu bocznej dyfuzji złączy źródła i drenu. Parametry L i L_g są ze sobą powiązane, ale różnica pomiędzy nimi nie może być dokładnie określona pomimo wysiłków takich jak te, które przedstawiono w podrozdziale 6.11. W związku z tym parametr L_g jest często stosowany w prezentacji danych zamiast parametru L — przykładem tego jest rysunek 7.4. Parametr L , mimo że nie może być dokładnie zmierzony w przypadku małych tranzystorów, jest przydatnym zagadnieniem teoretycznym.



RYSUNEK 7.4. Wartość $|U_t|$ przy bardzo małych długościach L_g — zjawisko to, nazywane spadkiem wzmocnienia napięcia U_t , określa minimalną akceptowalną długość L_g , ponieważ zbyt niskie napięcie U_t lub zbyt niy wpływ długości L_g na napięcie U_t powoduje wystąpienie zbyt wysokiego natężenia prądu $I_{wył}$

Przy pewnej długości L_g napięcie U_t staje się zbyt niskie, a natężenie prądu $I_{wył}$ zbyt wysokie (zobacz równanie 7.2.8). Dodawanie do podłoża tranzystorów o krótkim kanale większej ilości domieszek niż do podłoża innych tranzystorów może spowodować wzrost napięcia U_t , jednakże wciąż przy pewnej długości L_g napięcie U_t jest tak wrażliwe na zmianę długości L spowodowaną procesami produkcji, że $I_{wył}$ osiąga wartości nieakceptowalne. Inżynierowie projektując tranzystory, muszą dbać o to, aby spadek napięcia U_t nie uniemożliwił zastosowania docelowej minimalnej długości L_g , tj. wartości wymienionej w drugim rzędzie tabeli 7.1.

Dlaczego spadek długości L wywołuje spadek napięcia U_t ? Na rysunku 7.5 przedstawiono model umożliwiający zrozumienie tej zależności. Na rysunku 7.5a zaprezentowano energetyczny model pasmowy złącza półprzewodnik-izolator komponentu o długim kanale przy napięciu $U_{gs} = 0$ V. Na rysunku 7.5b pokazano sytuację, w której $U_{gs} = U_t$. W tym drugim przypadku poziom E_c kanału jest niższy niż na

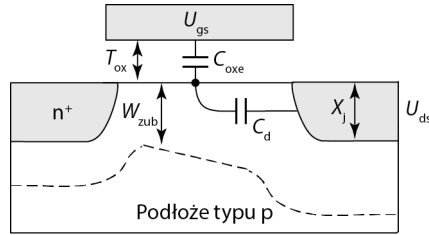


RYSUNEK 7.5. (a) – (d) Energetyczny model pasmowy źródło-dren przy $U_{gs} = 0\text{ V}$ i $U_{gs} = U_t$; rysunki (a) i (b) dotyczą długiego kanału, a (c) i (d) krótkiego kanału

rysunku (a) — znajduje się on bliżej poziom E_c źródła. Gdy E_c kanału osiągnie poziom o $\sim 0,2\text{ eV}$ wyższy od E_c źródła (wartość ta jest zbliżona do E_{Fn}), to parametr n_s kanału osiąga wartość $\sim 10^{17}\text{ cm}^{-3}$ i spełniony jest warunek progu inwersji ($I_{ds} = 100\text{ nA} \times W/L$). Można powiedzieć, że bariera potencjału $0,2\text{ eV}$ jest na tyle niska, aby umożliwić przepływ elektronów ze źródła (n^+) do kanału, gdzie elektrony te utworzą warstwę inwersyjną. W zrozumieniu pojęcia wysokości bariery energetycznej może pomóc następująca analogia: źródło jest jak rezerwuuar wody, a bariera potencjału jest jak tama. Napięcie U_{gs} określa wysokość tamy. Gdy napięcie U_{gs} jest wystarczająco wysokie, to tama jest na tyle niska, aby pozwolić na przepływ wody do kanału i drenu. W ten sposób definiowane jest napięcie U_t .

Na rysunku 7.5c pokazano przypadek tranzystora o krótkim kanale przy $U_{gs} = 0$. Gdy kanał jest wystarczająco krótki, to parametr E_c nie osiągnie wartości szczytowej pokazanej na rysunku 7.5a. W związku z tym do obniżenia bariery do poziomu $0,2\text{ eV}$ w przypadku przedstawionym na rysunku 7.5d wymagane jest niższe napięcie U_{gs} niż w przypadku zaprezentowanym na rysunku 7.5b. Innymi słowy, napięcie U_t w tranzystorach o krótkim kanale jest niższe niż w tranzystorach o długim kanale. Wyjaśnia to spadek wzmacnienia napięcia U_t pokazany na rysunku 7.4.

Napięcie U_t można również przedstawić w inny sposób. Na rysunku 7.6 widać kondensator umieszczony pomiędzy bramką i kanałem. Na rysunku tym znajduje się również drugi kondensator (C_d), umieszczony pomiędzy drenem i kanałem (jeden z biegunów kondensatora jest umiejscowiony w połowie długości kanału — tam, gdzie na rysunku 7.5d znajduje się szczytowa wartość E_c). Długość kanału jest zre-



RYСУNEK 7.6. Schemat układu dwóch kondensatorów w tranzystorze MOSFET; pojemność C_d symbolizuje elektrostatyczne sprzężenie pomiędzy kanałem a drenem; wraz z redukcją długości kanału redukowana jest również odległość pomiędzy drenem a kanałem, a więc dochodzi do zwiększenia pojemności C_d

dukowana, a więc zredukowane są także odległości pomiędzy drenem i źródłem oraz pomiędzy drenem a kanałem. W związku z tym zwiększona jest pojemność C_d . Nie przejmuj się dokładną definicją parametru C_d . Na razie przyjmij, że C_d jest pojemnościowym sprzężeniem pomiędzy źródłem a punktem bariery kanału.

Na przykładzie układu zastępczego składającego się z dwóch kondensatorów widać, że poziom napięcia drenu wpływa na potencjał kanału podobnie jak napięcie bramki. Wysokość bariery potencjału pokazana na rysunku 7.5 zależy od obu parametrów: U_{gs} i U_{ds} . Gdy obecne jest napięcie U_{ds} , to niższe napięcie U_{gs} jest wymagane do obniżenia bariery do poziomu 0,2 eV – w związku z tym napięcie U_t jest niższe z definicji. Korzystając z tych zależności, można utworzyć prosty wzór na spadek wzmocnienia napięcia U_t :

$$U_t = U_{t-długi} - U_{ds} \cdot \frac{C_d}{C_{oxe}} \quad (7.3.1)$$

gdzie $U_{t-długi}$ jest napięciem progowym tranzystora o długim kanale, w którym pojemność $C_d = 0$. Gdybyśmy chcieli uzyskać dokładniejszy wynik, to napięcie U_{ds} powinniśmy zastąpić stałą opisującą wpływ wbudowanego potencjału 0,2 V pomiędzy warstwą inwersyjną n^- i drenem n^+ , a także źródłem w warunkach progowych [4].

$$U_t = U_{t-długi} - (U_{ds} + 0,4 \text{ V}) \cdot \frac{C_d}{C_{oxe}} \quad (7.3.2)$$

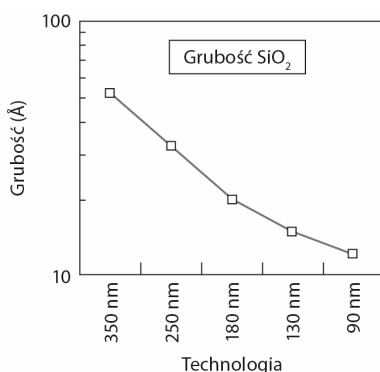
Z rysunku 7.6 można wywnioskować, że pojemność C_d spada wraz ze wzrostem długości L . Przypominam, że pojemność wzrasta, gdy dwie elektrody są do siebie zbliżane. Wspomniany wcześniej wniosek jest prawdziwy w przypadku dwuwymiarowej geometrii rysunku 7.6. Jednakże rozwiązanie równania Poissona (zobacz punkt 4.1.3) wskazuje, że w tej dwuwymiarowej strukturze pojemność C_d jest wykładniczą funkcją długości L [5]. W związku z tym:

$$U_t = U_{t-długi} - (U_{ds} + 0,4 \text{ V}) \cdot e^{-L/l_d} \quad (7.3.3)$$

$$\text{gdzie } l_d \propto \sqrt[3]{T_{oxe} W_{zub} X_j} \quad (7.3.4)$$

X_j jest głębokością złącza drenu. Równanie 7.3.3 prezentuje w połowie ilościowy model spadku wzmocnienia napięcia U_i jako parametru zależnego od L i U_{ds} . Model ten może być pomocny przy projektowaniu małych tranzystorów MOSFET, a także przy poznawaniu struktur nowych tranzystorów. Spadek wzmocnienia jest wykładniczą funkcją parametru L . Spadek wzmocnienia jest również większy przy wyższym napięciu U_{ds} , które może osiągać maksymalną wartość równą U_{dd} . Za pomocą równania 7.2.8, na podstawie akceptowalnego natężenia prądu I_{wyl} , można określić parametr U_{ds} , na bazie którego, korzystając z równania 7.3.3, można określić minimalną akceptowalną długość L . *Minimalna akceptowalna długość L jest kilkakrotnie większa od l_d* . Zjawisko obniżania bariery źródło-kanal i redukcji napięcia U_i za pomocą drenu określamy mianem **obniżania wysokości bariery indukowanego przez dren (DIBL)**. Parametr l_d można określić mianem **długości charakterystycznej DIBL**. W celu zredukowania długości L w każdym kolejnym węźle technologicznym parametr l_d musi być redukowany proporcjonalnie do L . Oznacza to konieczność redukcji parametrów T_{ox} , W_{zub} i (lub) X_j . W rzeczywistości w każdym kolejnym węźle technologicznym dochodzi do redukcji wszystkich trzech parametrów, co ma na celu redukcję długości l_d . Redukcja T_{ox} powoduje wzrost pojemności bramki C_{oxe} . Redukcja X_j powoduje zmniejszenie pojemności C_d poprzez redukcję rozmiaru elektrody drenu. Redukcja W_{zub} również przyczynia się do zmniejszenia pojemności C_d poprzez tworzenie obszaru neutralnego znajdującego się w dolnej części obszaru zubożonego, który ekranuje elektrostatycznie kanał, oddzielając go drenu.

Z równania 7.3.4 można wyciągnąć następujący wniosek: *pionowe wymiary tranzystora MOSFET (T_{ox} , W_{zub} i X_j) muszą zostać zredukowane w celu redukcji długości bramki*. Jako przykład na rysunku 7.7 pokazano, że grubość warstwy tlenku była skalowana proporcjonalnie do szerokości linii (długości bramki).



RYСУNEK 7.7. W przeszłości grubość warstwy tlenku była skalowana proporcjonalnie do szerokości linii

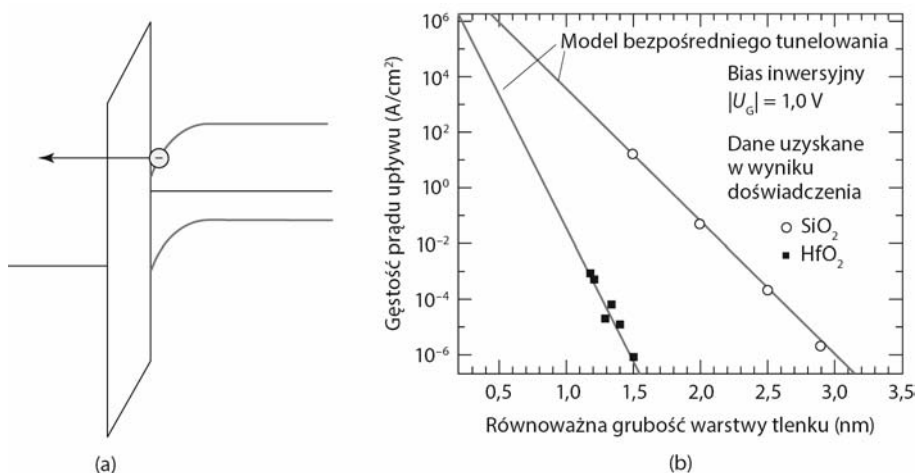
7.4. • REDUKCJA GRUBOŚCI ELEKTRYCZNEJ IZOLACJI BRAMKI I UPŁYW TUNELOWY •

SiO_2 jest preferowanym izolatorem bramki od początku produkcji krzemowych tranzystorów MOSFET. W ciągu wielu lat udało się zredukować grubość warstwy tlenku od 300 nm w technologii 10 μm do zaledwie 1,2 nm w technologii 65 nm. Grubość ta jest stale redukowana z dwóch powodów. Po pierwsze cieńsza warstwa tlenku, tj. wyższa pojemność C_{ox} , zwiększa prąd I_{wl} , a wyższy prąd I_{wl} umożliwia szybszą pracę układu (zobacz równanie 6.7.1). Po drugie cieńsza warstwa tlenku umożliwia lepszą kontrolę spadku wzmocnienia napięcia U_i (a więc również i upływu podprogowego) przy mniejszej długości L (według równań 7.3.3 i 7.3.4). Drugi z wymienionych powodów jest bardzo ważny. Na rysunku 7.7 pokazano, że grubość warstwy tlenku była zmniejszana proporcjonalnie do szerokości linii.

Inżynierowie dążą do produkcji cieńszych warstw tlenku. Co powstrzymuje ich przed stosowaniem dowolnie cienkich warstw tlenku? Produkcja cienkich warstw tlenku nie jest łatwa, ale jak pokazano na rysunku 6.5, możliwe jest tworzenie bardzo cienkich i jednorodnych warstw tlenku bramki. Kolejnym ograniczającym czynnikiem jest przebicie warstwy tlenku. Przy zbyt cienkiej warstwie tlenku silne pole elektryczne może doprowadzić do szkodliwego przebicia (zobacz ramka „Pole elektryczne przebicia SiO_2 ”). Kolejnym ograniczającym czynnikiem jest to, że podczas długiej pracy w polu o dużej mocy, a zwłaszcza podczas pracy czipa przy podwyższonej temperaturze, dochodzi do przerywania słabszych wiązań chemicznych złącza Si-SiO_2 , w wyniku czego powstaje ładunek tlenku i dochodzi do zmiany napięcia U_i (zobacz podrozdział 5.7). Zmiana napięcia U_i powoduje zmianę charakterystyk układu i zakłóca jego pracę.

W warstwach SiO_2 cieńszych niż 1,5 nm najbardziej ograniczającym czynnikiem jest upływ tunelowy. Upływ prądu bramki przez tunelowanie (zobacz podrozdział 4.20) pokazano na rysunku 7.8a. Elektrony docierają do bariery tlenku bramki z prędkością termiczną, a prawdopodobieństwo tego, że dostaną się na drugą stronę bramki, opisuje równanie 4.20.1. Zjawisko to jest przyczyną prądu upływu bramki. Na rysunku 7.8b pokazano, że wykładniczy wzrost prądu upływu SiO_2 wraz ze zmniejszaniem się grubości zgadza się z przewidywaniami modelu tunelowania [6]. Przez warstwę SiO_2 o grubości 1,2 nm upływa prąd o gęstości 10^3 A/cm^2 . Jeżeli całkowity obszar tego izolatora znajdujący się w układzie scalonym to 1 mm^2 , prąd upływający przez znajdującą się w nim warstwę tlenku będzie miał natężenie 10 A. Tak duży prąd spowodowałby rozładowanie akumulatora telefonu komórkowego w ciągu kilku minut. Prąd upływu można zredukować mniej więcej dziesięciokrotnie poprzez dodanie azotu do SiO_2 .

Inżynierowie opracowali technologię produkcji izolatorów o wysokim parametrze k mogących zastąpić SiO_2 . Na przykład HfO_2 charakteryzuje się względną przenikalnością elektryczną $k \approx 24$, co jest wartością sześciokrotnie wyższą od względnej



RYSUNEK 7.8. (a) Energetyczny model pasmowy inwersji pokazujący tunelowanie elektronów przez warstwę tlenku bramki; (b) przez warstwę SiO_2 o grubości 1,2 nm płynie prąd o gęstości $10^3 A/cm^2$; zastosowanie dielektryków charakteryzujących się wysokim parametrem k (takich jak HfO_2) pozwala na obniżenie prądu upływu o kilka rzędów wielkości (za [6] © 2003 IEEE)

przenikalności elektrycznej SiO_2 . Przy warstwie HfO_2 o grubości 6 nm powstaje taka sama pojemność C_{ox} co przy warstwie SiO_2 o grubości 1 nm. Możemy więc stwierdzić, że taka warstwa HfO_2 charakteryzuje się **zastępczą grubością tlenku (EOT)** równą 1 nm. Jednakże warstwa HfO_2 cechuje się znacznie grubsza barierą tunelowania elektronów i dziur. W związku z tym prąd upływający przez HfO_2 jest kilka rzędów wielkości mniejszy od prądu upływającego przez SiO_2 , co pokazano na rysunku 7.8b. Innymi atrakcyjnymi dielektrykami o wysokim parametrze k są ZrO_3 i Al_2O_3 . Trudności w zastosowaniu dielektryków o wysokim parametrze k w produkcji układów scalonych wynikają z reakcji, do których dochodzi pomiędzy nimi a krzemowym podłożem. Ponadto substancje takie charakteryzują się niższą ruchliwością powierzchniową niż SiO_2 , a tlenki tego typu gromadzą więcej ładunku. Problemy te można zmniejszyć poprzez umieszczenie cienkiej warstwy SiO_2 pomiędzy krzemowym podłożem a dielektrykiem o wysokim parametrze k .

Zauważ, że w równaniu 7.3.4 znajduje się elektryczna grubość warstwy tlenku T_{ox} definiowana przez równanie 5.9.2. Poza tą grubością grubość warstwy zubożonej bramki wykonanej z polikrystalicznego krzemu powinna być również zminimalizowana. W związku z tym bramki lepiej jest wykonywać z metali. Aby uzyskać optymalne napięcia U_i , konieczne może być zastosowanie w przypadku bramki tranzystorów NFET i PFET dwóch różnych metali charakteryzujących się pracą wyjścia zbliżoną do pracy wyjścia polikrystalicznego krzemu typu n^+ i p^+ [7].

Ponadto T_{inv} jest również składnikiem T_{oxe} , a więc parametr ten powinien także zostać zminimalizowany. Wartość T_{inv} zależy od parametrów materiału — efek-

tywnej masy elektronu lub dziury. Większa masa efektywna prowadzi do cieńszej warstwy T_{inw} . Niestety wyższa masa efektywna wiąże się ze zmniejszoną ruchliwością (zobacz równanie 2.2.4). Na szczęście masa efektywna jest funkcją kierunku przestrzennego kryształu. Efektywna masa w kierunku normalnym do złącza z tlenkiem określa wartość parametru T_{inw} , a masa efektywna w kierunku przepływu prądu określa ruchliwość powierzchniową. Możliwe jest stworzenie tranzystora na bazie wafla (zobacz rysunek 1.2) ułożonego tak, aby w kierunku normalnym do złącza z tlenkiem parametry m_n i m_p były większe, a w kierunku przepływu prądu były one mniejsze.

• Pole elektryczne przebicia SiO₂ •

Jak zdefiniować pole przebicia SiO₂? Nie jest to proste — pole przebicia jest funkcją czasu pomiaru. Jeżeli impuls napięcia trwający 1 sekundę zostanie przyłożony do warstwy SiO₂ o grubości 10 nm, to w celu przebicia tej warstwy impuls musi się charakteryzować napięciem 15 V przy polu przebicia 15 MV/cm. Pole przebicia jest znacząco niższe, jeśli ta sama warstwa tlenku jest testowana przez godzinę. Pole byłoby jeszcze niższe, gdyby próbka była testowana przez cały miesiąc. Zjawisko to określamy mianem **przebicia dielektryka zależnego od czasu**. W większości zastosowań układy scalone powinny pracować od kilku do kilkunastu lat. Oczywiście producenci nie mogą sobie pozwolić na pomiar napięcia przebicia przez 10 lat podczas testowania nowych technologii produkcji tlenków. Inżynierowie przewidują napięcie przebicia w ciągu 10 lat na podstawie testów trwających od godziny do miesiąca, a także fizycznych modeli przebicia tlenku. Dzięki stosowaniu różnych modeli uzyskuje się szeroki wachlarz wartości pól przebicia. W przeszłości najbardziej optymistyczne prognozy — 7 MV/cm dla 10 lat pracy — okazywały się poprawne.

Model przebicia bierze pod uwagę sekwencję zdarzeń [8]. Tunelowanie nośników przez warstwę tlenku SiO₂ przy silnym polu przerywa słabsze powiązania Si-O. Zjawisko to uszkadza tlenek. Przebiega ono szybciej w tych miejscach próbki tlenku, w których zagęszczenie słabszych wiązań jest statystycznie wyższe. Gdy defekty w którymś punkcie osiągną krytyczne zagęszczenie, dochodzi do przebicia. Podczas długich testów obciążeniowych pole przebicia jest niższe, ponieważ po długim czasie do przebicia wystarczy wygenerowanie mniejszej liczby uszkodzeń. Na szczęście pole przebicia wzrasta w bardzo cienkich warstwach tlenku. Nośniki ładunków uzyskują mniejszą energię, przechodząc przez bardzo cienką warstwę tlenku, a ponadto mają mniejszą zdolność do wywoływania uszkodzeń tej warstwy.

7.5. • REDUKCJA PARAMETRU W_{zub} •

Z równania 7.3.4 wynika, że mała wartość parametru W_{zub} pomaga kontrolować spadek wzmocnienia napięcia U_t i pozwala na zmniejszenie długości L . Parametr W_{zub} może zostać zredukowany poprzez koncentrację domieszek podłoża N_{pod} , ponieważ jest on proporcjonalny do $1/\sqrt{N_{pod}}$. Ale przyjrzyjmy się jeszcze raz równaniu 5.4.3:

$$U_t = U_{fb} + \phi_{st} + \frac{\sqrt{qN_{pod} 2\epsilon_s \phi_{st}}}{C_{ox}} \quad (7.5.1)$$

Wynika z niego, że jeżeli U_t ma nie wzrastać, to N_{pod} nie może wzrosnąć, o ile C_{ox} nie wzrasta, tj. nie dochodzi do redukcji T_{ox} . Po wyeliminowaniu parametru N_{pod} z równania 5.5.1 równanie 7.5.1 może być przedstawione jako równanie 7.5.2. Oczywiście parametr W_{zub} może być zredukowany tylko proporcjonalnie do T_{ox} .

$$U_t = U_{fb} + \phi_{st} \left(1 + \frac{\epsilon_s T_{ox}}{\epsilon_{ox} W_{zub}}\right) \quad (7.5.2)$$

Sprawia to, że według równania 7.3.4 redukcja długości L zależy głównie od parametru T_{ox} .

Istnieje inny sposób redukcji parametru W_{zub} — zastosowanie stromego, wstecznego profilu domieszek, pokazanego na rysunku 6.12. W tym przypadku wartość W_{zub} jest określana przez grubość warstwy powierzchniowej zawierającej niewielką ilość domieszek. Można wykazać (patrz ramka), że napięcie U_t w przypadku tranzystora MOSFET charakteryzującego się idealnym wstecznym profilem domieszek wynosi:

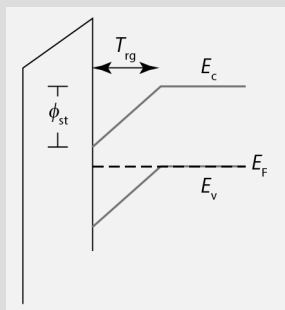
$$U_t = U_{fb} + \phi_{st} \left(1 + \frac{\epsilon_s T_{ox}}{\epsilon_{ox} T_{rg}}\right) \quad (7.5.3)$$

gdzie T_{rg} jest grubością warstwy zawierającej niewielką ilość domieszek. Grubość T_{rg} może być skalowana tylko proporcjonalnie do grubości T_{ox} (jeżeli napięcie U_t ma zostać zachowane). Jednakże parametr $T_{rg} - W_{zub}$ idealnego komponentu o wstecznym profilu domieszek — może przybierać wartość mniej więcej połowy W_{zub} charakteryzującego komponent zawierający równomiernie rozłożone domieszki (zobacz równanie 7.5.2) i wciąż zachowywać to samo napięcie U_t . To właśnie jest zaleta wstecznego domieszkowania. Kolejną zaletą tego profilu domieszkowania jest to, że rozproszenie zjonizowanych domieszek (zobacz punkt 2.2.2) jest zredukowane w warstwie inwersyjnej, a więc powierzchniowa ruchliwość może być wyższa. Wyprodukowanie takiego profilu domieszkowania — wygenerowanie bardzo cienkiej warstwy zawierającej małą ilość domieszek (tj. charakteryzującej się niskim parametrem W_{zub}) — wymaga dużej ostrożności przy zapobieganiu dyfuzji domieszek.

Oto dość ciekawa uwaga dotycząca dalszej redukcji parametru W_{zub} . Można zastosować wyższą wartość N_{pod} w równaniu 7.5.1 (a więc mniejszą wartość W_{zub}) lub mniejszą wartość T_{rg} w równaniu 7.5.3, ale może to doprowadzić do powstania wyższego napięcia U_t , niż zakładano, jeżeli to większe napięcie U_t jest obniżane z powrotem za pomocą napięcia biasu pomiędzy podłożem a źródłem — U_{bs} (zobacz

• Wyprowadzenie równania 7.5.3 •

Na rysunku 7.9 przedstawiono energetyczny model pasmowy dla warunku progowego.



RYSUNEK 7.9. Energetyczny model pasmowy dla warunku progowego tranzystora MOSFET charakteryzującego się stromym, wstecznym profilem domieszek

Odształcenie pasma ϕ_{st} charakteryzuje się równomiernym profilem domieszek w obszarze o grubości warstwy zubożenia zawierającej niewielką ilość domieszek (T_{rg}), w wyniku czego powstaje pole elektryczne $\mathcal{E}_s = \phi_{st}/T_{rg}$. Z powodu ciągłości strumienia elektrycznego pole tlenku $\mathcal{E}_{ox} = \mathcal{E}_s \cdot \epsilon_s / \epsilon_{ox}$. W związku z tym:

$$U_{ox} = T_{ox} \mathcal{E}_{ox} = \phi_{st} \frac{\epsilon_s T_{ox}}{\epsilon_{ox} T_{rg}} \quad (7.5.4)$$

Z równań 5.2.2 i 7.5.4:

$$U_i = U_{fb} + \phi_{st} \left(1 + \frac{\epsilon_s T_{ox}}{\epsilon_{ox} T_{rg}} \right) \quad (7.5.5)$$

podrozdział 6.4). Wymagany bias o polaryzacji przewodzenia jest napięciem na złączu podłoże-źródło. Polaryzacja przewodzenia jest akceptowalna — prąd biasu jest mały, jeśli napięcie U_{bs} jest niższe niż 0,6 V.

• Przewidywanie ostatecznej granicy minimalnej długości kanału — retrospektywa •

Gdy kanał jest zbyt krótki, tranzystor MOSFET charakteryzuje się zbyt dużym natężeniem prądu $I_{wył}$, co uniemożliwia jego praktyczne zastosowanie. Jaka jest ostateczna minimalna długość kanału, jeżeli założymy, że w procesach litografii i trawienia możemy uzyskać dowolnie mały detal?

W latach 70. XX w. producenci półprzewodników przyjęli, że kanał powinien mieć minimalną długość 500 nm. W latach 80. limit ten zmniejszono do 250 nm. W latach 90. przesunięto go jeszcze bardziej — do 100 nm. Dzisiaj minimalna długość kanału jest jeszcze mniejsza. Co sprawiło, że eksperci nie doszacowali potencjału skalowania długości kanału?

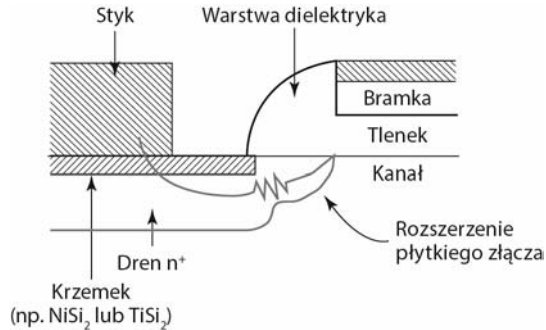
W wyniku analizy dostępnej literatury można dojść do wniosku, że badacze nie wiedzieli, jak cienkie warstwy tlenku bramki można wdrożyć do masowej produkcji. W latach 90. sądzono, że limitem jest grubość ~ 15 nm. W latach 80. uważano, że limitem jest grubość 8 nm itd. Jeżeli minimalna grubość T_{ox} była źle oszacowana, to zgodnie z równaniem 7.3.4 parametry W_{zub} i L również były źle oszacowane.

7.6. • PŁYTKIE ZŁĄCZE I TRANZYSTORY MOSFET Z METALOWYMI ŹRÓDŁAMI I DRENAMI •

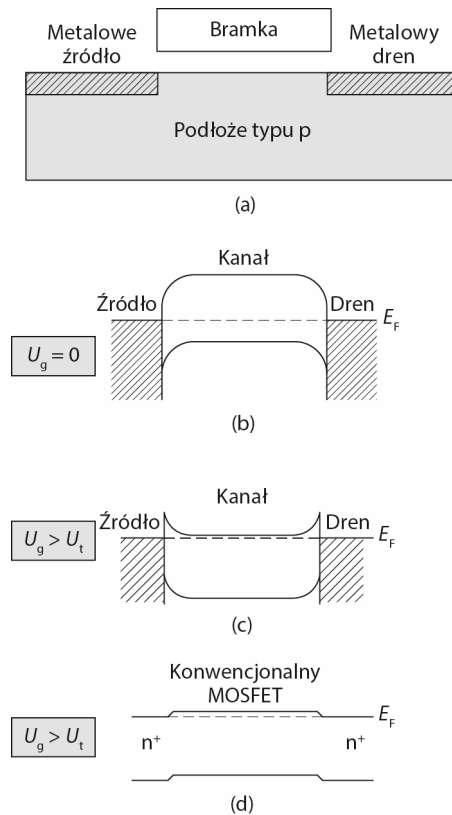
Na rysunku 7.10 pokazano wprowadzony wcześniej na rysunku 6.24b przekrój poprzeczny typowego złącza drenu (i źródła). Produkcja **rozszerzenia płytkiego złącza** pomiędzy głębokim złączem n^+ i kanałem wymaga zastosowania dodatkowych procesów technologicznych. To płytke złącze jest potrzebne, ponieważ głębokość złącza drenu musi być, zgodnie z równaniem 7.3.4, możliwie jak najmniejsza. Aby złącze to było jak najbardziej płytke, stosowane jest bardzo krótkie wyżarzanie w możliwie jak najniższej temperaturze — proces ten ma na celu aktywację domieszek i niwelację uszkodzeń sieci krystalicznej, do których doszło w wyniku implantacji. Proces ten trwa 0,1 s (wyżarzanie błyskawiczne) lub 1 μ s (wyżarzanie laserowe) (zobacz podrozdział 3.6). W celu dalszej redukcji dyfuzji domieszek koncentracja domieszek w **rozszerzeniu płytkiego złącza** jest utrzymywana na niższym poziomie niż gęstość domieszek n^+ . Płytke złącze i niska koncentracja domieszek wywołują zbędną pasożytniczą rezystancję obniżającą cenny prąd I_{wl} . To dość kosztowny sposób minimalizowania spadku wzmocnienia napięcia U_i i podprogowego prądu upływu. W większej odległości od kanału (zobacz rysunek 7.10) znajduje się głębsze złącze n^+ , którego funkcją jest zminimalizowanie całkowitej rezystancji pasożytniczej. W celu zminimalizowania rezystancji szerokość warstwy dielektryka widocznej na rysunku 7.10 powinna być jak najmniejsza.

7.6.1. Tranzystor MOSFET z metalowym źródłem i drenem

Tranzystor MOSFET z metalowym złączem źródło-dren, zwany również **tranzystorem MOSFET ze złączem Schottky’ego** (zobacz rysunek 7.11a), może posiadać bardzo płytke złącza (cecha ta jest pożądana w przypadku krótkiego kanału). Ponadto tranzystory tego typu charakteryzują się niską szeregową rezystancją — krzemek cechuje się dziesięciokrotnie wyższą konduktancją niż krzem typu n^+ lub p^+ .



RYSUNEK 7.10. Przekrój poprzeczny złącza drenu tranzystora MOSFET; rozszerzenie płytkowego złącza pomaga w ograniczeniu spadku wzmocnienia napięcia U_t



RYSUNEK 7.11. (a) Wykonanie źródła i drenu z metalu jest najlepszym sposobem na zredukowanie wzrastającej ważnej rezystancji pasożytniczej; (b) wykres pasma energetycznego w stanie wyłączenia; (c) w stanie włączenia mogą się pojawić bariery energetyczne utrudniające przepływ prądu; bariery tego typu nie występują w konwencjonalnych tranzystorach typu MOSFET i muszą być minimalizowane

Jedynym problemem związanym z tego typu tranzystorami jest to, że charakteryzują się one niższym prądem I_d niż standardowe tranzystory, gdy parametr ϕ_b przyjmuje zbyt duże wartości, aby umożliwić łatwy przepływ nośników (w przypadku tranzystora NFET nośnikami tymi są elektrony) od źródła do kanału.

Na rysunku 7.11b przedstawiono wykres pasma energetycznego w stanie wyłączenia — wykres ten przechodzi od źródła do drenu poprzez kanał. Dla uproszczenia przyjęto, że $U_{ds} = 0$. Wspomniany wykres pasma energetycznego jest podobny do wykresu charakteryzującego konwencjonalny tranzystor MOSFET przy $U_g = 0$ — bariera potencjału w obu przypadkach zatrzymuje elektrony, uniemożliwiając im przepływ ze źródła do kanału, gdy tranzystor jest w stanie wyłączenia. W stanie włączenia (zobacz rysunek 7.11c) poziom E_c kanału jest ciągnięty w dół przez napięcie bramki, ale zjawisko to nie jest widoczne na krawędzi źródła i bramki, gdzie wysokości bariery są stałe — utrzymują się na poziomie ϕ_b (zobacz podrozdział 4.16). Bariery tego typu nie występują w konwencjonalnym tranzystorze MOSFET, co pokazano na rysunku 7.11d. Mogą one zmniejszyć natężenie prądu I_d tranzystora MOSFET wyposażonego w źródło i dren wykonane z metalu.

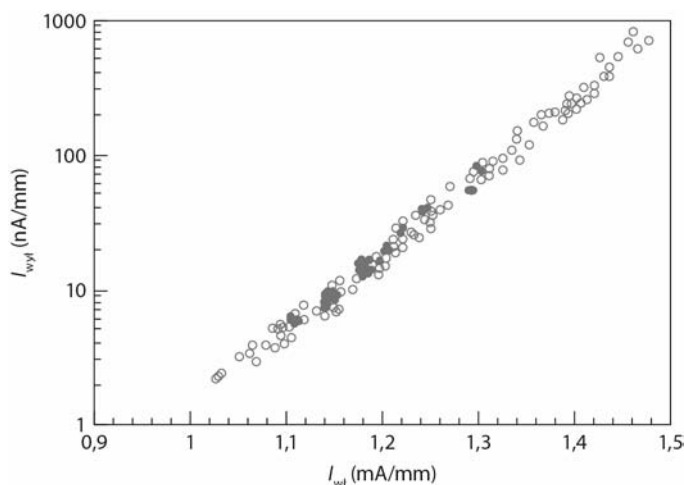
Aby skorzystać z pełnego potencjału tranzystora MOSFET ze złączem Schottky'ego, należy zastosować technologię produkcji złącza Schottky'ego charakteryzującego się bardzo niskim parametrem ϕ_b (w przypadku tranzystorów NFET). Pomiędzy warstwą metalu i kanałem można umieścić cienki obszar n^+ . Dzięki temu zminimalizowany zostanie wpływ barier na przepływ prądu (zobacz rysunek 4.46). Dodatkowo należy zadbać o redukcję dużego wstecznego prądu upływu spowodowanego niską wartością parametru ϕ_b charakteryzującego złącze Schottky'ego pomiędzy drenem i podłożem [9].

7.7. • KOMPROMIS POMIĘDZY I_{wl} I I_{wyl} A OPRACOWYWANIE PROJEKTU POD KĄTEM MOŻLIWOŚCI PRODUKCJI •

Podprogowy prąd I_{wyl} nie stanowiłby problemu, gdyby napięcie U_t było wysokie, co nie jest akceptowalne, ponieważ wysokie napięcie U_t zmniejszałoby prąd I_{wl} , a tym samym szybkość działania układu. Natężenie prądu I_{wl} można zwiększyć, podnosząc napięcie U_{dd} , co nie jest akceptowalne, gdyż zwiększyłoby to ilość prądu pobieranego przez obwód. Zmniejszenie długości L może zwiększyć natężenie prądu I_{wl} , ale jednocześnie zredukować napięcie U_t i podnieść natężenie prądu I_{wyl} .

PYTANIE: Czy któraś z następujących zmian — zwiększenie napięcia U_t , zwiększenie długości L , zmniejszenie napięcia U_{dd} — doprowadzi do jednoczesnej redukcji podprogowego prądu upływu i zwiększenia prądu I_{wl} ?

Na rysunku 7.12 zaprezentowano wykres logarytmiczny pokazujący zależność pomiędzy $I_{wył}$ i I_{wl} w wielu tranzystorach [2]. Wyraźnie widać zależność pomiędzy tymi dwoma parametrami. Wyższy prąd I_{wl} idzie w parze z wyższym prądem $I_{wył}$. Rozrzut wartości natężenia prądu I_{wl} (a także $I_{wył}$) jest spowodowany kombinacją niezamierzonych różnic parametrów L_g i U_t oraz zamierzonych różnic długości bramki.



RYSUNEK 7.12. Zależność pomiędzy logarytmicznym przyrostem $I_{wył}$ i liniowym przyrostem I_{wl} ; rozrzut wartości natężenia prądu I_{wl} (a także $I_{wył}$) jest spowodowany różną długością bramek oraz kombinacją niezamierzonych różnic parametrów L_g i U_t (za [2] © 2003 IEEE)

Istnieje kilka technik rozwiązujących problem dużej zależności pomiędzy parametrami I_{wl} i $I_{wył}$, tj. pomiędzy szybkością działania układu a ilością prądu pobieranego w stanie spoczynku.

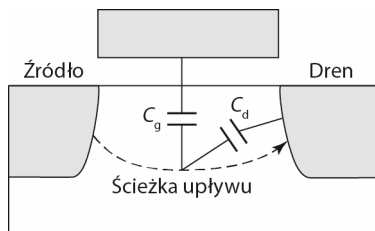
Jedna z nich polega na zastosowaniu dwóch, trzech (albo większej liczby) napięć U_t . Skomplikowany obwód można projektować, najpierw myśląc o komponentach charakteryzujących się dużym napięciem U_t . Następnie przeprowadza się symulację taktowania układów; w jej wyniku identyfikowane są ścieżki sygnałowe i obwody, których szybkość pracy musi zostać zwiększona. Elementy takie są łączone ze średnim napięciem U_t . Obwody, które muszą pracować z jeszcze większą częstotliwością, są na koniec podłączane do niskiego napięcia U_t . Istnieje jeszcze inna podobna strategia, polegająca na zastosowaniu kilku linii U_{dd} . Wysokie napięcie U_{dd} jest dostarczane do niewielkiej liczby komponentów, które muszą pracować z dużą szybkością, a niższe napięcie U_{dd} jest dostarczane do pozostałych komponentów obwodu. Wyższe napięcie U_{dd} pozwala na szybszą pracę komponentów i (lub) zastosowanie wyższego napięcia U_t (zmniejszenie prądu upływu). Takie rozwiązanie pozwala na zmniejszenie prądu pobieranego przez cały obwód (zobacz równanie 6.7.6), ponieważ większość jego elementów jest zasilana niższym napięciem U_{dd} .

W przypadku dużych obwodów, takich jak mikroprocesory, tylko niektóre bloki muszą pracować z dużą częstotliwością, inne mogą pracować z niższą lub mogą być w stanie spoczynku. Napięcie niektórych układów U_t może być dość niskie, co pozwala na osiągnięcie dużego prądu I_{wt} , a to umożliwia układom pracę przy dużych częstotliwościach. Odpowiednio dobrane napięcie U_{sb} (zobacz równanie 6.4.6) jest dostarczane do pozostałych bloków obwodu. Ma to na celu podniesienie napięcia U_t i zmniejszenie progowego prądu upływu. Technika ta wymaga inteligentnych układów sterujących dostarczających napięcie U_{sb} w odpowiednie miejsca i w odpowiednim czasie.

Technika wyrównywania napięcia pozwala również na łączenie ze sobą czipów albo bloków charakteryzujących się różnym napięciem U_t z powodu różnorodności łączonych komponentów, wynikającej z różnic sprzętu i procesu produkcji, których nie da się uniknąć. Problem różnic procesu produkcji można zminimalizować za pomocą wielu technik stosowanych zarówno podczas procesu produkcji, jak i projektowania obwodu. Techniki te określamy mianem **projektowania pod kątem możliwości produkcji (DFM)**. Głównym powodem różnic wynikających z procesu produkcji jest niedokładna kontrola parametru L_g w procesie litografii. Niektóre różnice są z natury **losowe**. Inne różnice są mniej lub bardziej przewidywalne — określamy je mianem **różnic systematycznych**. Przykładem takiej różnicy jest zniekształcenie w procesie fotolitograficznym wywołane interferencją sąsiadujących ze sobą wzorów światła i cienia. Skomplikowana matematyczna optyczna korekcja bliskości (OPC) (zobacz podrozdział 3.3) pozwala na modyfikację wzoru fotomaski i kompensację interferencji zachodzących pomiędzy sąsiadującymi ze sobą elementami. Kolejnym przykładem jest to, że ruchliwość nośników, a więc prąd tranzystora MOSFET, może być modyfikowana za pomocą **efektu mechanicznego ściskania** (zobacz punkt 7.1.2), wywołanego przez sąsiadujące struktury, takie jak płytka izolacja wyżłobienia lub inne tranzystory MOSFET. Skomplikowane narzędzia symulacyjne pozwalają na analizę mechanicznego odkształcenia i przewidzenie prądu I_{wt} na podstawie danych dotyczących sąsiadujących ze sobą struktur. Dane dotyczące prądu I_{wt} mogą zostać wprowadzone do programu symulującego pracę obwodu w celu uzyskania dokładniejszych wyników symulacji. Przykładem losowej różnicy jest **chropowatość krawędzi bramki** bądź falistość spowodowana ziarnistością foto-rezystu i polikrystalicznego krzemu. Kolejnym przykładem losowej różnicy jest zjawisko **losowej fluktuacji domieszek**. Statystyczne wahania liczby atomów domieszek i ich umiejscowienia w małym tranzystorze MOSFET powodują znaczące zmiany napięcia progowego. Wzięcie pod uwagę losowych różnic pomiędzy czipami, a także losowej niepowtarzalności produkcji czipów wymaga zastosowania skomplikowanych metodologii projektowania układów.

7.8 • TRANZYSTORY MOSFET O BARDZO CIENKICH KORPUSACH I WIELU BRAMKACH •

Istnieją alternatywne struktury MOSFET, które są mniej podatne na spadek wzmocnienia napięcia U_i i pozwalają na skalowanie bramki poza ograniczeniami konwencjonalnych tranzystorów MOSFET. Na rysunku 7.6 przedstawiono w uproszczony sposób zależność wysokości bariery kanału (zobacz rysunek 7.5) od parametrów bramki i drenu. Chcemy maksymalnie zwiększyć pojemność pomiędzy bramką a kanałem i zminimalizować pojemność pomiędzy drenem a kanałem. W celu maksymalizowania pierwszej pojemności redukujemy maksymalnie parametr T_{ox} . Aby zminimalizować drugą pojemność, redukujemy maksymalnie parametry W_{zub} i X_j . Rzeczywiste zmniejszanie tych wymiarów staje się coraz trudniejsze. W obszarze podprogowym T_{ox} może być niewielką częścią T_{oxe} (równanie 7.3.4), ponieważ grubość warstwy inwersyjnej T_{inv} (zobacz podrozdział 5.9) jest duża. Wyobraź sobie, że grubość T_{ox} mogłaby być nieskończenie mała. Dzięki temu bramka mogłaby w sposób idealny decydować o wysokości bariery potencjału, ale tylko na powierzchni Si. Dren wciąż mógłby mieć większy wpływ niż bramka na inne ścieżki prądu upływu, które są bardziej oddalone od powierzchni Si (zobacz rysunek 7.13). Bramka jest oddalona od takich miejsc, a więc jej wpływ jest mniejszy. Napięcie drenu może obniżyć barierę potencjału i pozwolić na przepływ prądu upływu przez ścieżki oddalone od powierzchni. Istnieją dwie struktury tranzystora pozwalające na wyeliminowanie ścieżek upływu oddalonych od bramki [10]: **tranzystor MOSFET o bardzo cienkim korpusie (MOSFET UTB)** i **wielobramkowy tranzystor MOSFET**. Struktury te zostaną omówione w kolejnych częściach tego rozdziału.

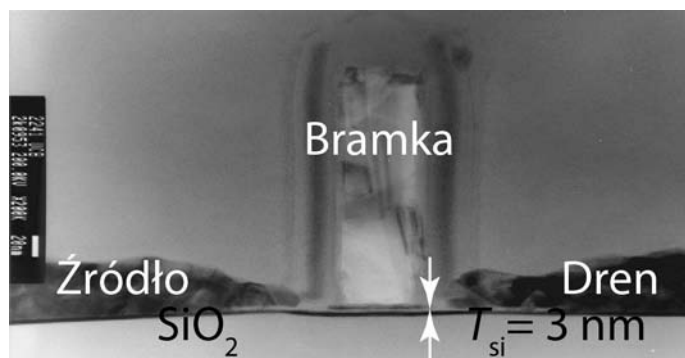


RYСУNEK 7.13. Dren ma większy wpływ na ścieżki upływu prądu oddalone od powierzchni Si niż bramka

7.8.1. Tranzystory MOSFET o bardzo cienkich korpusach i technologia SOI (krzem na izolatorze)

Istnieją dwa sposoby na wyeliminowanie ścieżek upływu prądu znajdujących się pod powierzchnią krzemu. Jednym z nich jest zastosowanie struktury o bardzo cienkim korpusie (zobacz rysunek 7.14) [11]. Tranzystory MOSFET tego typu są tworzone na bazie cienkiej warstwy krzemu naniesionej na izolator (SiO_2). Warstwa

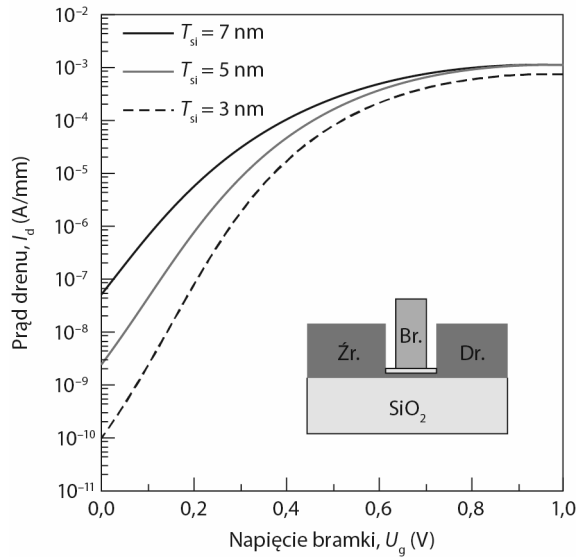
krzemu jest bardzo cienka (jej grubość nie przekracza 10 nm), a więc żadna ścieżka upływu nie znajdzie się w dużej odległości od bramki (w najgorszym wypadku ścieżka taka może się znaleźć na spodniej stronie warstwy krzemu). W związku z tym bramka może efektywnie przeciwdziałać upływowi prądu. Z rysunku 7.15 wynika, że prąd upływu podprogowego jest redukowany wraz z redukcją grubości warstwy krzemu. Można wykazać, że grubość warstwy Si powinna zastąpić parametry W_{zub} i X_j w równaniu 7.3.4 — parametr L_g może być skalowany proporcjonalnie do grubości warstwy krzemu (T_{Si}). Grubość warstwy krzemu powinna być mniejsza od połowy długości bramki — tylko wtedy będzie dochodziło do zmniejszenia prądu upływu i jednoczesnego zachowania właściwej skali. Tranzystory MOSFET o bardzo cienkim korpusie, a także tranzystory MOSFET o wielu bramkach (zostaną one omówione w kolejnym punkcie) mają mnóstwo zalet. Możliwe jest uzyskanie małej długości l_d (zobacz równanie 7.3.4) bez stosowania dużej ilości domieszek kanału, a więc tranzystory takie charakteryzują się większą ruchliwością nośników. Korpus jest **w pełni zubożony** i pływający — nie cechuje się określonym napięciem, a zatem wyeliminowany zostaje efekt podłoża, który wpływa negatywnie na szybkość pracy komponentu (zobacz podrozdział 6.4). Jednym z problemów związanych z produkcją tranzystorów MOSFET o bardzo cienkim korpusie jest duża rezystancja źródła i drenu, spowodowana ich niewielką grubością. Źródło i dren mogą zostać pogrubione w procesie osadzania warstwy epitaksjalnej. **Podwyższone źródło i podwyższony dren** zostały pokazane na rysunkach 7.14 i 7.15.



RYСУNEK 7.14. Przekrój poprzeczny tranzystora o bardzo cienkim korpusie uzyskany za pomocą elektronowego mikroskopu skaningowego (za [11], © 2000 IEEE)

7.8.2. FinFet — wielobramkowy tranzystor MOSFET

Ścieżki prądu upływu oddalone od powierzchni krzemu można wyeliminować za pomocą kilku bramek umieszczonych z różnych stron kanału (zobacz rysunek 7.18). Warstwa krzemu jest na tyle cienka, że żadna ścieżka prądu upływu nie będzie się znajdowała w dużej odległości od którejś z bramek (w najgorszym wypadku ścieżka

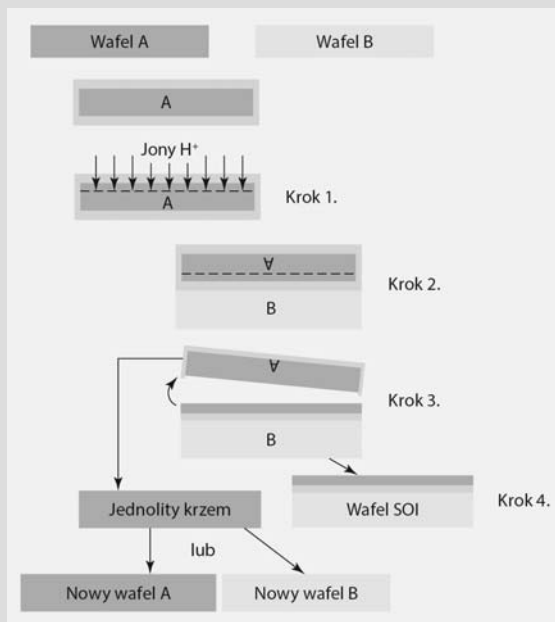


RYSUNEK 7.15. Cieńsza warstwa krzemu tworząca korpus tranzystora pozwala na obniżenie prądu upływu podprogowego; $L_g = 15$ nm (za [11], © 2000 IEEE)

• Technologia SOI — krzem na izolatorze •

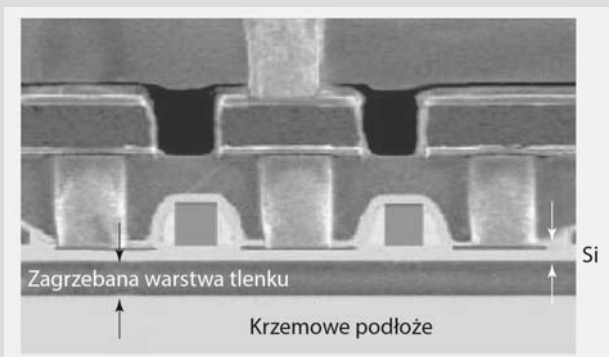
Na rysunku 7.16 przedstawiono kolejne etapy technologii produkcji wafła SOI — wafła typu **krzem na izolatorze** [12]. (Dla odróżnienia konwencjonalne wafle krzemowe określa się mianem **jednolitych wafli krzemowych**). Krok 1. polega na implantacji wodoru w krzemowym wafle, którego powierzchnia pokryta jest cienką warstwą SiO_2 . Koncentracja wodoru osiąga wartość szczytową w odległości D od powierzchni. Krok 2. polega na odwróceniu pierwszego wafła i umieszczeniu go na powierzchni drugiego. Wafle przyciągają się za pomocą sił wiązań atomowych. Wyżarzanie w niskiej temperaturze powoduje stopienie się wafli ze sobą. Krok 3. polega na wykonaniu kolejnego wyżarzania, w wyniku którego zaimplementowane cząsteczki wodoru łączą się ze sobą, tworząc wiele małych skupisk znajdujących się na głębokości D . W wyniku tej operacji powstają naprężenia mechaniczne pozwalające na przełamanie wafła w tej płaszczyźnie. Krok 4. polega na polerowaniu płaszczyzny. Teraz wafel SIO jest gotowy do użycia.

Warstwa krzemu charakteryzuje się dobrymi parametrami — doskonale nadaje się do produkcji układów scalonych. Technologia SIO pozwala na poprawę szybkości działania układu nawet bez zastosowania bardzo cienkiego korpusu tranzystora — dyfuzja obszarów źródła i drenu rozszerza się w płaszczyźnie pionowej do zagrzebanej warstwy tlenku, w wyniku czego pojemność źródła i drenu w miejscu połączenia z korpusem zostaje praktycznie wyeliminowana. Koszt wafła typu SOI jest wyższy od kosztu standardowego krzemowego wafła, a więc technologia ta zwiększa koszt produkcji układów scalonych. W związku z tym obecnie technologię tę stosuje się tylko w produkcji drogich mikroprocesorów, które muszą pracować z jak najwyższą szybkością.

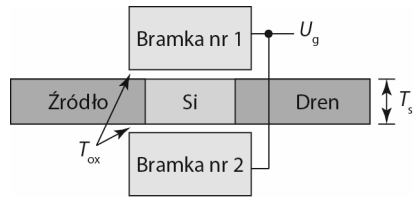


RYSUNEK 7.16. Kolejne etapy produkcji wafela SOI (za [12])

Na rysunku 7.17 przedstawiono przekrój poprzeczny (obraz uzyskany za pomocą elektronowego mikroskopu skaningowego) struktury uzyskanej za pomocą technologii SOI. Technologia SOI, ze względu na swoją elastyczność, służy również do produkcji nowoczesnych struktur, takich jak tranzystory MOSFET o bardzo cienkim korpusie i niektóre wielobramkowe tranzystory MOSFET, które mogą być skalowane w celu uzyskania bramki krótszej od bramki standardowych tranzystorów MOSFET.



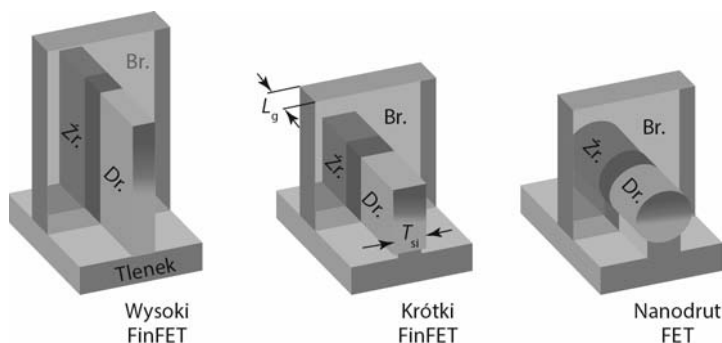
RYSUNEK 7.17. Przekrój poprzeczny układu scalonego typu OI uzyskany za pomocą mikroskopu elektronowego; struktury położone niżej to tranzystory i styki; dwa wyższe poziomy struktury to elementy pośrednie i elementy połączeniowe wykonane z wielu warstw materiału, dzięki czemu charakteryzują się większą niezawodnością



RYSUNEK 7.18. Schemat dwubramkowego tranzystora MOSFET, którego bramki są ze sobą połączone

taka może się znaleźć w środkowej części warstwy krzemu). W związku z tym bramki mogą skuteczniej przeciwdziałać prądowi upływu. Tranzystor tego typu zawiera więcej niż jedną bramkę, a więc strukturę tę można określić mianem **wielobramkowego tranzystora MOSFET**. Na rysunku 7.18 pokazano **dwubramkowy tranzystor MOSFET**. Zmniejszenie grubości T_{Si} powoduje automatyczną redukcję parametrów W_{zub} i X_j wchodzących w skład równania 7.3.4. Ponadto możliwe jest również zredukowanie spadku wzmocnienia napięcia U_t , co otwiera możliwość ograniczenia długości L_g do kilku nm. Obie bramki charakteryzują się takim samym napięciem, a warstwa krzemu jest w pełni zubożona, a więc potencjał powierzchni Si w obszarze podprogowym zmienia się zależnie od U_g . Nie mamy do czynienia z efektem dzielnika napięcia, przedstawionym na rysunku 7.1c, a parametr η równania 7.2.4 osiąga upragnioną wartość równą 1. Ponadto natężenie prądu $I_{wył}$ jest bardzo niskie. Nie ma potrzeby wprowadzania do kanału dużej ilości domieszek w celu redukcji parametru W_{zub} . Pole charakteryzuje się niskim pionowym profilem, a rozproszenie domieszek jest niższe. W związku tym ruchliwość nośników jest wyższa (zobacz podrozdział 6.3). Prąd tranzystora może płynąć przez dwa kanały (górny i dolny). W związku z tym wielobramkowy tranzystor MOSFET może się charakteryzować krótszą długością L_g , niższym natężeniem prądu $I_{wył}$ i wyższym natężeniem prądu I_{wt} niż tranzystor MOSFET posiadający tylko jedną bramkę. Mamy więc przed sobą tylko jeden problem — jak wyprodukować strukturę tranzystora MOSFET zawierającą wiele bramek?

Na rysunku 7.19 przedstawiono wielobramkową strukturę, którą można łatwo wyprodukować. Przyjrzyj się środkowej strukturze widocznej na rysunku 7.19. Proces produkcji można rozpocząć, bazując na standardowym krzemowym waflu lub waflu SOI. W wyniku litografii i trawienia powstaje cienkie żebro wykonane z krzemu. Na odsłoniętych płaszczyznach tego żebra tworzona jest warstwa tlenku bramki. Następnie na żebro nanoszony jest polikrystaliczny krzem — materiał, który ma utworzyć bramkę w wyniku przeprowadzenia kolejnych procesów, czyli litografii i trawienia. Później dochodzi do implantacji źródła i drenu. Ostatnia struktura widoczna na rysunku 7.19 jest strukturą wielobramkową, przedstawioną wcześniej na rysunku 7.18, która została ułożona na boku. Strukturę taką określamy mianem **FinFET**, ponieważ jej krzemowy korpus przypomina płetwę grzbietową ryby (z ang.



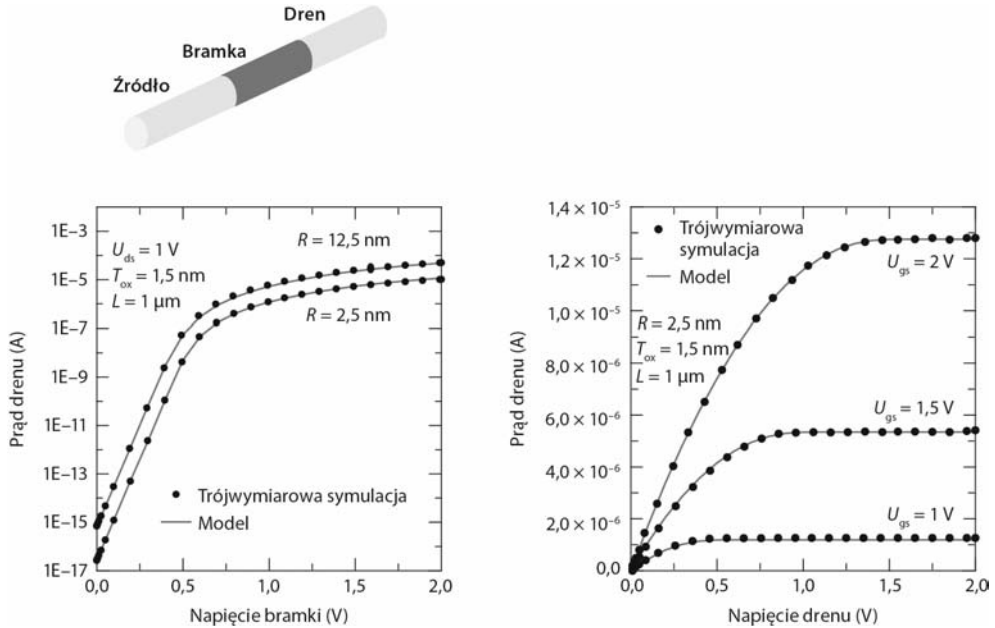
RYСУNEK 7.19. Różne tranzystory FinFET; wysoki tranzystor FinFET charakteryzuje się zaletami takimi jak wysoka wartość parametru W i duże natężenie prądu I_{wt} przy zajmowaniu małej powierzchni podłoża; krótki tranzystor FinFET charakteryzuje się zaletami takimi jak możliwość produkcji z zastosowaniem prostszego procesu litografii i wytrawiania; tranzystor FinFET w postaci nanodrutu zapewnia bramce lepszą kontrolę nad pracą tranzystora, ponieważ korpus tego tranzystora jest otoczony bramką; tranzystory FinFET mogą być również produkowane na bazie standardowych waflí krzemowych

fin — płetwa) [13]. Kanał składa się z dwóch poziomych płaszczyzn oraz górnej powierzchni tworzącej płetwę. Szerokość kanału (W) jest sumą dwukrotności wysokości i szerokości płetwy.

Na rysunku 7.19 pokazano kilka różnych tranzystorów FinFET [14, 15]. Wysoki tranzystor FinFET charakteryzuje się zaletami takimi jak wysoka wartość parametru W i duże natężenie prądu I_{wt} przy zajmowaniu małej powierzchni podłoża. Krótki tranzystor charakteryzuje się zaletami takimi jak możliwość produkcji z zastosowaniem prostszego procesu wytrawiania. W tym przypadku górna powierzchnia krzemowego żebra znacząco przyczynia się do tłumienia spadku wzmocnienia napięcia U_g i zwiększenia kontroli nad prądem upływu. Struktura taka określana jest również mianem **trójbramkowego tranzystora MOSFET**. W trzecim tranzystorze bramka ma jeszcze większą kontrolę nad krzemowym drutem, który jest przez nią otoczony. Jest to nanodrut FET, którego charakterystyki przedstawiono na rysunku 7.20. Można je modelować za pomocą tych samych metod co w przypadku standardowych tranzystorów MOSFET. Technologia ta pozwala na skalowanie tranzystora z pominięciem ograniczeń standardowych tranzystorów planarnych.

7.9. • KONDUKTANCJA WYJŚCIOWA •

Konduktancja wyjściowa ogranicza wzmocnienie napięcia przez tranzystor. Pojęcie to wprowadzono w podrozdziale 6.13. Przyczyny tego zjawiska są połączone ze spadkiem wzmocnienia napięcia U_t . Niniejszy podrozdział powstał, aby te przyczyny wyjaśnić.



RYSUNEK 7.20. Charakterystyki prądowo-napięciowe tranzystora MOSFET w formie nanodrudu, uzyskane w wyniku symulacji; parametr R jest promieniem nanodrudu (za [16])

Jakie parametry tranzystora decydują o jego konduktancji wyjściowej? Na początek przyjrzyjmy się równaniu 6.13.1.

$$g_{ds} \equiv \frac{dI_{d\text{nas}}}{dU_{ds}} = \frac{dI_{d\text{nas}}}{dU_t} \cdot \frac{dU_t}{dU_{ds}} \quad (7.9.1)$$

Prąd I_{ds} jest funkcją $U_{gs} - U_t$ (zobacz równanie 6.9.11), a więc oczywista jest następująca równość:

$$\frac{dI_{d\text{nas}}}{dU_t} = \frac{-dI_{d\text{nas}}}{dU_{gs}} = -g_{m\text{nas}} \quad (7.9.2)$$

Ostatnim krokiem jest zdefiniowanie parametru $g_{m\text{nas}}$, przedstawione w równaniu 6.6.8. Teraz równanie 7.9.1 można rozwiązać za pomocą równania 7.3.3.

$$g_{ds} = g_{m\text{nas}} \times e^{-L/l_d} \quad (7.9.3)$$

$$\text{Wewnętrzne wzmocnienie napięciowe} = \frac{g_{m\text{nas}}}{g_{ds}} = e^{L/l_d} \quad (7.9.4)$$

Wewnętrzne wzmocnienie napięciowe zostało wprowadzone w równaniu 6.13.5. Z równania 7.3.3 wynika, że wzrost U_{ds} powoduje zmniejszenie U_t . Z tej przyczyny prąd I_{ds} wzrasta, nie ulegając nasyceniu. *Sprężenie pojemnościowe drenu i kanału*

wpływa na konduktancję wyjściową — jest to ten sam mechanizm, który odpowiada za spadek wzmocnienia U_t . To właśnie dlatego parametr g_{ds} jest mniejszy w przypadku tranzystorów MOSFET o krótszej długości kanału (L). W celu redukcji parametru g_{ds} można zastosować większą długość L i (lub) zredukować parametr l_d . Osoby projektujące układy wymagające dużego wzmocnienia napięcia rutynowo stosują długości L większe od maksymalnej długości dopuszczalnej dla danego węzła technologicznego. Projektanci obwodów muszą zredukować parametr l_d , korzystając z równania 7.3.4. Każda modyfikacja układu, która redukuje spadek wzmocnienia napięcia U_t , powoduje jednocześnie redukcję parametru g_{ds} i poprawia wzmocnienie napięcia.

Zależność pomiędzy U_t i U_{ds} jest głównym czynnikiem wpływającym na konduktancję wyjściową bardzo krótkich tranzystorów MOSFET. Przy dużych długościach L i napięciu U_{ds} bliskim U_{dinas} dominującym czynnikiem wpływającym na parametr g_{ds} może być inny mechanizm — **modulacja długości kanału**. Napięcie $U_{ds} - U_{dinas}$ ulega rozproszeniu w skończonej (niezerowej) odległości od drenu. Odległość ta wzrasta wraz ze wzrostem napięcia U_{ds} . W związku z tym efektywna długość kanału maleje wraz ze wzrostem napięcia U_{ds} . Natężenie prądu I_{ds} jest odwrotnie proporcjonalne do długości L , a więc wzrasta bez właściwego nasycenia. Można wykazać, że z powodu modulacji długości kanału parametr g_{ds} przybiera w przybliżeniu wartość:

$$g_{ds} = \frac{l_d \cdot I_{nads}}{L(U_{ds} - U_{dinas})} \quad (7.9.5)$$

gdzie parametr l_d jest definiowany przez równanie 7.3.4. Ten składnik g_{ds} może być również tłumiony poprzez zastosowanie większej długości L i zmniejszenie parametrów T_{ox} , X_j oraz W_{zub} .

7.10. • SYMULACJA PROCESÓW I KOMPONENTÓW •

Istnieją komercyjne programy komputerowe [17], które potrafią rozwiązać wszystkie równania przedstawione w tej książce bez przybliżeń lub stosując niewielką liczbę przybliżeń (aplikacje tego typu zamiast przybliżenia Boltzmanna mogą korzystać ze statystyki Fermiego-Diraca). Większość tych równań (np. prawdopodobieństwo Fermiego-Diraca, częściowa jonizacja domieszek, prąd dryftu, prąd dyfuzji, równanie ciągłości prądu i równanie Poissona) jest rozwiązywana symultanicznie. Symulacja pracy komponentów to ważne narzędzie pozwalające inżynierom na szybką ocenę pracy urządzeń. Dzięki symulacji liczba zmiennych, które trzeba określić na drodze drogich i czasochłonnych eksperymentów, jest mniejsza. Przykładowe wyniki symulacji przedstawiono na rysunkach 7.15 i 7.20. Dane potrzebne do stworzenia tych rysunków zostały wygenerowane podczas symulacji trwających od kilku minut do kilku godzin.

Symulacja procesu przebiega podobnie jak symulacja komponentu. Użytkownik wprowadza do programu symulującego proces dane, takie jak wzór maski litograficznej, liczbę implantowanych jonów, energię, temperaturę, a także czas osadzania warstwy tlenku i wyżarzania. Program symulujący proces generuje dwu- lub trójwymiarową strukturę zawierającą wszystkie nałożone, wytrawione bądź utlenione warstwy i obszary domieszek. Dane wygenerowane przez symulator procesu mogą zostać wprowadzone do programu symulującego pracę komponentu wraz z danymi dotyczącymi napięć i temperatury pracy.

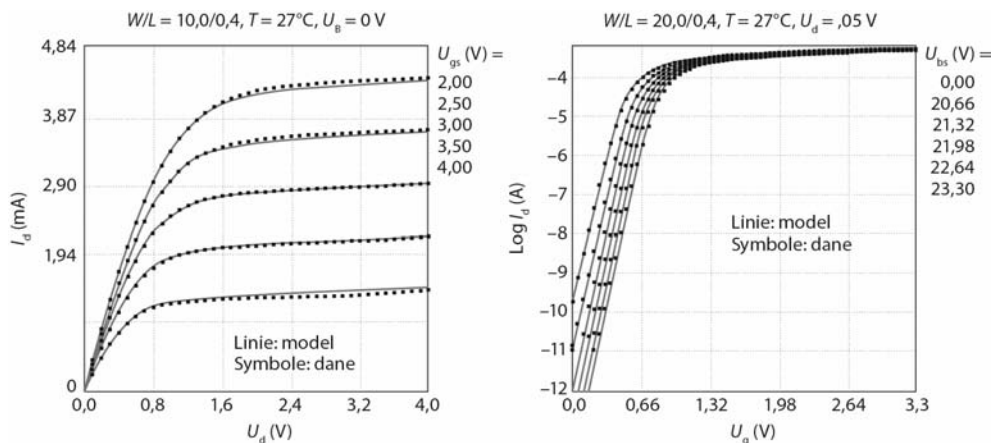
7.11. • KOMPAKTOWY MODEL TRANZYSTORA MOSFET UŻYWANY W SYMULACJI PRACY OBWODU •

Osoby projektujące obwody mogą symulować działanie obwodów składających się z setek, tysięcy, a nawet większej liczby tranzystorów MOSFET w sposób dokładny, wydajny i solidny. Dokładność symulacji musi dotyczyć przepływu prądu stałego, operacji przebiegających z częstotliwościami pasma radiowego, generowania sygnałów analogowych i cyfrowych, działania pamięci, a także układów scalonych będących procesorami. Podczas symulacji działania obwodu praca tranzystorów MOSFET jest symulowana za pomocą równań takich jak te, które przedstawiono w tym rozdziale i w dwóch poprzednich. Są to tzw. **modele kompaktowe** — w odróżnieniu od modeli opisanych w podrozdziale 7.10 ich wydajność obliczeniowa jest o wiele wyższa.

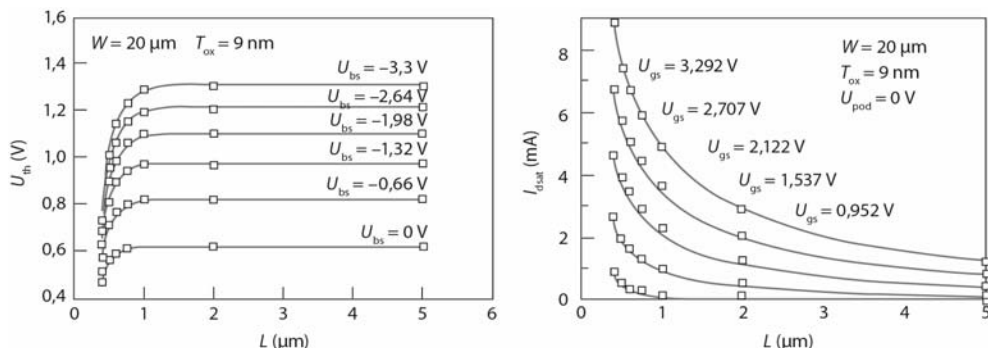
Można powiedzieć, że model kompaktowy (wraz z zasadami tworzenia schematów wykonawczych) jest elementem łączącym dwie gałęzie przemysłu półprzewodnikowego: technologów i producentów układów z inżynierami je projektującymi. Kompaktowy model musi odzwierciedlać wszystkie charakterystyki pracy tranzystora MOSFET w szerokim zakresie napięć, temperatury, a także parametrów L i W . Charakterystyki te powinny być wyrażone w formie równań. W niektórych metodologiach projektowania obwodów — np. przy projektowaniu obwodów analogowych — symulacja pracy obwodu jest stosowana bezpośrednio. W innych metodologiach wykorzystuje się **biblioteki komórkowe**. Biblioteki tego typu są zbiorami setek małych bloków konstrukcyjnych obwodów, które zostały wcześniej dokładnie zaprojektowane i scharakteryzowane za pomocą symulacji.

W pewnym okresie prawie każda firma tworzyła swoje własne modele kompaktowe. W 1997 r. powstała grupa **BSIM** [18], która opracowała pierwszy standardowy model przyjęty przez branżę. Gdyby wydrukować wzór pozwalający na wyznaczenie prądu I_{ds} zastosowany w tym modelu, to zająłby on kilka stron.

Na rysunku 7.21 przedstawiono dokładność modelu kompaktowego — porównano efekty symulacji modelu kompaktowego i danych uzyskanych na drodze pomiarów [19]. Ważną cechą modelu kompaktowego jest dokładna symulacja pracy tranzystora o dowolnych parametrach L i W określonych przez osobę projektującą układ. Taką możliwość zaprezentowano na rysunku 7.22. Ponadto dobry kompaktowy



RYSUNEK 7.21. Wybrane porównania modelu BSIM i danych uzyskanych w wyniku przeprowadzenia pomiarów — ilustracja dokładności modelu kompaktowego (za [18])



RYSUNEK 7.22. Kompaktowy ml powinien dokładnie odwzorowywać pracę tranzystora charakteryzującego się dowolnymi parametrami L i W , określonymi przez projektanta obwodu (za [19] © 1997 IEEE)

model powinien przeprowadzać symulację w jak najkrótszym czasie, korzystając z prostego modelu równań. Symulacja poza charakterystykami prądowo-napięciowymi tranzystorów typu n i p powinna również brać pod uwagę modele pojemnościowe, modele prądu upływu dielektryka bramki i modele złączy źródła i drenu. Programy symulacyjne obsługują zwykle także modele szumów i wysokich częstotliwości.

7.12. • PODSUMOWANIE ROZDZIAŁU •

Tranzystory i elementy łączące tranzystory są okresowo zmniejszane w celu redukcji kosztów produkcji i zwiększenia szybkości ich pracy. Bardzo małe tranzystory MOSFET mają tendencję do przewodzenia prądu upływu o nadmiernym natężeniu ($I_{wył}$). Podstawowym składnikiem prądu I_{ds} jest **prąd podprogowy**.

$$I_{wył}(nA) = 100 \cdot \frac{W}{L} \cdot e^{-qU_t / \eta kT} = 100 \cdot \frac{W}{L} \cdot 10^{-U_t / S} \quad (7.2.8)$$

Literą S oznaczamy **wahanie podprogowe**. W celu utrzymania natężenia prądu $I_{wył}$ poniżej określonego poziomu przyjmuje się minimalne akceptowalne napięcie U_t . Niestety wysokie napięcie U_t wpływa negatywnie na natężenie prądu $I_{wł}$ i szybkość pracy układu. W związku z tym ważne jest, aby parametr S był redukowany poprzez redukcję wartości ilorazu T_{oxe}/W_{zub} . Ponadto napięcie U_t maleje wraz z długością L — jest to tzw. **spadek wzmocnienia napięcia** U_t , wywołany obniżaniem wysokości bariery indukowanej przez dren.

$$U_t = U_{t-długi} - (U_{ds} + 0,4) \cdot e^{-L/l_d} \quad (7.3.3)$$

$$\text{gdzie } l_d \propto \sqrt[3]{T_{oxe} W_{zub} X_j} \quad (7.3.4)$$

W związku z tym, że napięcie U_t jest bardzo wrażliwe na zmianę długości L , nawet niewielkie zmiany tej długości powstałe podczas procesu produkcji mogą doprowadzić do problematycznych zmian parametrów U_t , $I_{wył}$ i $I_{wł}$. Według równania 7.3.3 w celu zmniejszenia długości L należy zredukować l_d , tj. musi dojść do redukcji parametrów T_{oxe} , W_{zub} i (lub) X_j .

Redukcja parametru T_{oxe} jest ograniczana głównie **tunelowym wpływem bramki**, który można zmniejszyć, zastępując SiO_2 **dielektrykiem charakteryzującym się wysokim parametrem k** , takim jak HfO_2 . Parametr T_{oxe} może zostać zredukowany poprzez zastosowanie metalowej bramki — eliminację efektu zubożenia bramki wykonanej z polikrystalicznego krzemu.

Parametr W_{zub} może zostać zredukowany poprzez użycie wstecznego profilu domieszkowania korpusu. Parametr X_j może zostać zredukowany poprzez zastosowanie procesu błyskawicznego wyżarzania lub metalowej bramki i drenu. Parametry X_j i W_{zub} można również zredukować poprzez wykorzystanie bardzo cienkiego korpusu tranzystora — struktury SOI — albo poprzez zastosowanie wielobramkowej struktury MOSFET. Struktury te pozwalają na eliminację ważniejszego problemu — powstawania ścieżek prądu upływu w miejscach oddalonych od bramki.

Równanie 7.3.3 pozwala także na wyznaczenie konduktancji wyjściowej tranzystorów o krótkich kanałach.

$$g_{ds} = g_{mnas} \times e^{-L/l_d} \quad (7.9.3)$$

• ZADANIA •

• Podprogowy prąd upływu •

7.1. Załóż, że długość warstwy tlenku bramki pomiędzy bramką wykonaną z polikrystalicznego krzemu typu n^+ i podłożem typu p wynosi $11 \text{ \AA}$, a $N_a = 1\text{E}18 \text{ cm}^{-3}$.

- (a) Ile wynosi napięcie U_t tego komponentu?
- (b) Określ wahanie podprogowe (S).
- (c) Określ maksymalny prąd upływu, zakładając, że $W = 1 \text{ }\mu\text{m}$, $L = 18 \text{ nm}$. Ponadto przyjmij, że $I_{ds} = 100 \text{ W/L (nA)}$, gdy $U_g = U_t$.

• Upływ tlenku pola •

7.2. Załóż, że tlenek pola pomiędzy drutem wykonanym z polikrystalicznego krzemu typu n^+ ma grubość $0,3 \text{ }\mu\text{m}$, a $N_a = 5\text{E}17 \text{ cm}^{-3}$.

- (a) Ile wynosi napięcie U_t tego komponentu?
- (b) Określ wahanie podprogowe (S).
- (c) Określ maksymalny prąd upływu pola, zakładając, że $W = 10 \text{ }\mu\text{m}$, $L = 0,3 \text{ nm}$ i $U_{dd} = 2,0 \text{ V}$.

• Spadek wzmocnienia napięcia U_t •

7.3. Narysuj jakościowy wykres pokazujący zależność pomiędzy $\log(I_{ds})$ a U_g (załóż, że $U_{ds} = U_{dd}$) dla następujących przypadków:

- (a) $L = 0,2 \text{ }\mu\text{m}$, $N_a = 1\text{E}15 \text{ cm}^{-3}$;
- (b) $L = 0,2 \text{ }\mu\text{m}$, $N_a = 1\text{E}17 \text{ cm}^{-3}$;
- (c) $L = 1 \text{ }\mu\text{m}$, $N_a = 1\text{E}15 \text{ cm}^{-3}$;
- (d) $L = 1 \text{ }\mu\text{m}$, $N_a = 1\text{E}17 \text{ cm}^{-3}$.

Wszystkie krzywe powinny być oznaczone odpowiednimi etykietami i znajdować się we właściwych odległościach od siebie.

• Kompromis pomiędzy prądem $I_{wył}$ i prądem I_{wl} •

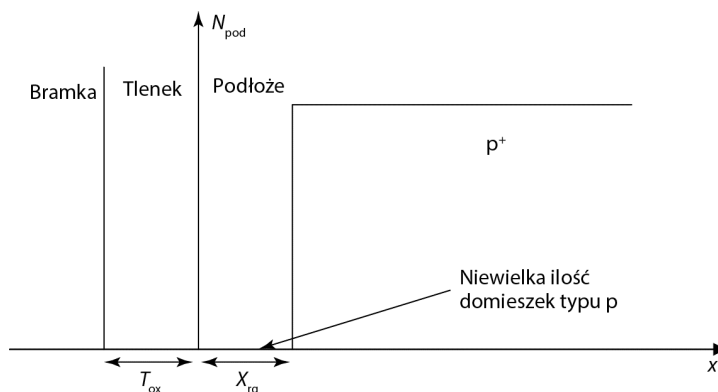
7.4. Jeśli wprowadzimy następujące zmiany: zwiększenie napięcia U_t , zwiększenie długości L , spłylenie złącza, zmniejszenie napięcia U_{dd} , zmniejszenie parametru T_{ox} , to spowodują one zwiększenie czy zmniejszenie natężenia prądu $I_{wył}$ i I_{wl} ? Które z wymienionych zmian doprowadzają do redukcji prądu upływu, nie powodując jednocześnie obniżenia cennego natężenia prądu I_{wl} ?

- 7.5. Istnieje wiele obaw, że wkrótce nie będziemy mogli dalej rozszerzać prawa Moore’a. Wyjaśnij własnymi słowami te obawy i trudności związane z uzyskiwaniem wysokiego natężenia prądu I_{wl} i niskiego natężenia prądu $I_{wył}$.
- Udziel odpowiedzi na to pytanie, pisząc tekst zawierający nie więcej niż 50 słów.
 - Stwórz trzy odręczne szkice popierające tezy zawarte w napisanej przez Ciebie odpowiedzi.
 - Dlaczego maksymalizacja prądu I_{wl} i minimalizacja prądu $I_{wył}$ nie są możliwe przez prosty dobór właściwych parametrów T_{ox} , X_j i W_{zub} ? Wyjaśnij to własnymi słowami.
 - Zapisz trzy równania, które pomogą w ujęciu ilościowym zagadnień opisanych w punkcie (c).
- 7.6. (a) Zapisz równanie 7.3.4 w formie, która nie zawiera parametru W_{zub} , ale zawiera napięcie U_t . Załóż, że napięcie U_t jest dane, i skorzystaj z równań 5.5.1 oraz 5.4.3.
- (b) Na podstawie odpowiedzi udzielonej w punkcie (a) określ czynności, które można wykonać w celu zredukowania minimalnej akceptowalnej długości kanału.
- 7.7. (a) Jakie są zalety niskiej wartości parametru W_{zub} ?
- (b) Jaki wpływ na prąd I_{dnas} i bramkę ma redukcja parametru W_{zub} przy danych parametrach L i U_t ? (Wskazówka: weź pod uwagę parametr m , omówiony w rozdziale 6.).

Dyskusja: ogólnie rzecz biorąc, mniejsza wartość parametru W_{zub} jest pożądana, ponieważ możliwość tłumienia spadku wzmocnienia napięcia U_t jest czymś bardzo ważnym, co pozwala na skalowanie długości L .

• Tranzystory MOSFET charakteryzujące się idealnym wstecznym profilem domieszkowania •

- 7.8. Załóż, że masz do czynienia z tranzystorem MOSFET z kanałem typu n , polikrystaliczną bramką typu n^+ i podłożem charakteryzującym się idealnym wstecznym profilem domieszkowania (zobacz rysunek 7.23).
- Narysuj energetyczny model pasmowy tranzystora MOSFET wzdłuż kierunku osi x od bramki do podłoża przez tlenek w momencie, gdy bias bramki jest równy napięciu progowemu. (Wskazówka: obszar p zawiera niewielką ilość domieszek, a więc możesz założyć, że pole w tym obszarze



Rysunek 7.23.

jest stałe — $d\epsilon/dx = 0$). Przyjmij, że poziom Fermiego w obszarze p^+ pokrywa się z E_v , a poziom Fermiego w bramce n^+ pokrywa się z E_c . Pamiętaj o podpisaniu krzywych E_c , E_v i E_F .

- (b) Ustal wzór pozwalający na określenie napięcia U_t w zależności od napięcia U_{ox} tego tranzystora o idealnym wstecznym profilu domieszkowania. Załóż, że napięcie U_{ox} jest dane. (Wskazówka: skorzystaj z modelu, który narysowałeś w punkcie (a), i pamiętaj o tym, że U_t jest różnicą pomiędzy poziomami Fermiego bramki i podłoża; przy napięciu progowym E_c krzemu pokrywa się z poziomem Fermiego złącza Si-SiO₂).
- (c) Ustal wzór pozwalający na określenie napięcia U_t w zależności od parametrów X_{rg} , T_{ox} , ϵ_{ox} , ϵ_{si} , a także innych adekwatnych parametrów (nie możesz przy tym korzystać z napięcia U_{ox}). Wskazówka: pamiętaj o tym, że parametr N_{pod} w obszarach charakteryzujących się niewielką ilością domieszek osiąga wartości bliskie 0, a więc jeżeli nie brałeś tego pod uwagę, to być może powinieneś jeszcze raz przemyśleć swoją strategię. Dobrym punktem wyjściowym może być równanie $\epsilon_{ox}\epsilon_{ox} = \epsilon_{si}\epsilon_{si}$.
- (d) Wykaż, że szerokość warstwy zubożonej (W_{zub}) tranzystora MOSFET charakteryzującego się idealnym wstecznym profilem domieszkowania może być równa połowie X_{zub} komponentu charakteryzującego się jednolitym profilem domieszkowania przy zachowaniu takiego samego napięcia U_t .
- (e) Jakie są zalety małej szerokości W_{zub} ?
- (f) Jaki jest wpływ redukcji szerokości W_{zub} na prąd I_{dnas} i opóźnienie inwertera przy danych parametrach L i U_t ?

Skorowidz

A

absorpcja światła, 160
akceptor, 21, 26
aktywność układu, 315
akumulacja, 240, 243
 powierzchniowa, 210
analiza warstwy zubożonej, 202
aproksymacja Boltzmanna, 35
architektura matrycy
 CCD, 238
 CMOS, 239

B

bariera
 potencjału, 190
 dziur, 210
 elektronu, 210
 Schottky'ego, 176, 177
baza
 o wąskiej przerwie energetycznej, 383
 typu p, 374
bias, 222
biblioteki komórkowe, 365
BiCMOS, 373
BJT, 373, 384
bramka, 207
 NAND, 280
 polikrystaliczna, 250

C

całkowita
 gęstość prądu, 424
 jonizacja, 44
całkowity stopień rozpraszania, 64
CCD, Charge Coupled Device, 234
charakterystyka
 prostowania IU, 124
 przenoszenia napięcia, 276
charakterystyki pojemnościowo-
 napięciowe, 134, 207, 247
 głębokiego zubożenia, 235
 kondensatora, 224
 MOS, 220, 242
 MOS przy wielkich częstotliwościach,
 224
obwód zastępczy, 233
przy niskich częstotliwościach, 224
quasi-statyczne, 223
 tranzystora MOS, 223, 224
tworzenie wykresów, 135
charakterystyki prądowo-napięciowe, 138,
199
 diody krzemowej, 152
 diody p-n, 184
 diody półprzewodnikowej, 150
 diody Schottky'ego, 184
 fotodiody, 200
 kontaktu krzemek-Si, 188
 kontaktu TiSi₂, 189
 nowoczesnych tranzystorów, 322

charakterystyki prądowo-napięciowe
 potencjał warstwy zubożenia, 179
 tranzystora
 MOSFET, 273, 284, 319, 363
 NFET, 277, 288
 o długim kanale, 284
 PFET, 277, 288
 charakterystyki przeniesienia napięcia, 315
 chemiczne osadzanie z fazy gazowej, 107
 niskociśnieniowe, 108
 wspomagane plazmą, 108
 chłodziarka termoelektryczna, 59, 60
 chropowatość
 krawędzi bramki, 356
 powierzchni, 262
 CNP, 113
 CVD, 104, 107
 czas
 magazynowania ładunku, 154, 392
 opadania
 bazy, 393
 przewodzenia, 392
 w wyniku dyfuzji, 393
 z emitera do kolektora, 394
 rekombinacji, 75
 życia nośników, 75, 423
 częstotliwość
 graniczna, 296, 399, 408
 graniczna tranzystora, 401
 oscylacji, 296
 ruchu kołowego, 31
 czip, 85
 czujnik
 punktu końcowego procesu, 98
 światła, 25
 temperatury, 153

D

dawca, 26, 27
 dawki implantacji, 100
 DBR, 173
 DFM, 356
 diagram pasm energetycznych, 24, 26, 28
 DIBL, 346

dielektryk o małej przenikalności
 elektrycznej, 113
 dioda, 124
 elektroluminescencyjna, 164
 laserowa, 170, 174
 LED, 164, 167
 Schottky'ego, 182, 194, 202
 ze złączem p-n, 203
 Zenara, 136
 długość
 bramki, 291, 343
 charakterystyczna DIBL, 346
 dyfuzji, 146, 147
 fali, 415
 kanału, 260, 290, 293, 328
 dobór napięcia bramki, 217
 domieszki, 23, 27
 akceptorów, 46
 amfoteryczne, 22
 bramki, 217
 domieszkowanie
 gazowo-źródłowe, 99, 101
 in situ, 108
 podłoża, 269
 półprzewodnika, 21, 99
 tranzystora MOSFET, 267
 DRAM, 305, 308
 dryft elektronów, 60, 73, 82
 dyfuzja, 69, 79, 83, 104, 118
 ciało stałe-źródło, 99, 101
 domieszek, 101–104
 gęstości prądu, 79
 nośników, 104
 stacjonarna, 105
 dysk optyczny, 175
 działanie systemu LPCVD, 109
 dziura, 20, 29
 dziury warstwy akumulacji, 211

E

efekt
 anten, 99
 dużego zagęszczenia domieszek, 383
 Early'ego, 407

iniekcji wysokiego poziomu, 379
 Kirka, 396, 413
 kwantowo-mechaniczny, 230
 ładunku objętości, 271
 mechaniczny ściskania, 356
 nasycenia prędkości, 326
 podłoża, 269, 326
 zubożenia polikrystalicznego, 229
 efektywna
 długość kanału, 328
 gęstość stanów, 39
 w paśmie walencyjnym, 39
 grubość tlenku, 232
 pojemność bramki, 232
 ekranowanie wolnych nośników, 64
 ekipipartycja energii, 58
 elektrodyfuzja, 111
 elektron, 20, 29
 inwersyjny, 216
 przewodzenia, 20
 elektrostatyka złącza p-n, 194
 emisja
 spontaniczna, 170
 termoelektronowa, 181
 wymuszona, 170
 emiter, 374
 Schottky'ego, 410
 z polikrystalicznego krzemu, 385, 401
 energetyczny model pasmowy, 22, 209, 241, 351, 408
 energia
 cieplna, 34
 cząsteczek tlenu, 36
 Fermiego, 35
 fotonów, 159
 fotonów absorbowanych, 25
 jonizacji, 27
 jonizacji atomu, 22
 kinetyczna elektronów, 57
 naturalna, 156
 pasma wzbronionego, 24, 26
 EOT, 348
 epitaksja, 108

F

fale promieniowania widzialnego, 26
 FinFet, 358, 361
 fizyczne osadzanie z fazy gazowej, 107
 flash, 310
 flash NAND, 313
 flip-chip, 114
 fluktuacja domieszek, 356
 fonony, 282
 fotodioda, 175, 200
 lawinowa, 176
 fotolitografia, 89
 fotomaska, 93
 fotony promieniowania podczerwonego, 48
 fotoprzewodnik, 25, 76
 fotorezysty
 negatywne, 91
 pozytywne, 91
 funkcja
 Fermiego, 34, 35, 50
 gamma, 38
 rozkładu Fermiego-Diraca, 419

G

GaAs, 23
 gal, 23
 generacja termiczna, 77
 german, 18
 gęstość
 ładunku inwersyjnego, 216
 prądu, 67
 dryftu, 425
 dziur, 67
 mniejszościowego, 424
 większościowego, 424
 stanów, 32, 51, 415
 stanów energetycznych, 33
 głębokie
 pułapki, 75
 zubożenie, 234
 głębokość
 penetracji światła, 159, 160
 złącza, 102

gorące elektrony, 312
 granica
 minimalnej długości kanału, 351
 ziarna, 106
 grubość warstwy
 inwersyjnej, 230, 231
 tlenku, 346
 zubożenia, 180
 GSI, 86

H

HBT, 384
 HCI, 312
 HEMT, 265
 heterozłącze, 110, 383
 heterozłączowy tranzystor bipolarny, 384
 HTO, 108
 HVDC, 141

I

iloczyn np, 41
 ilustracja kompensacji domieszek, 46
 implantacja jonów, 99, 100
 iniekcja
 gorących nośników, 312
 niskiego poziomu, 78, 149
 nośników, 143
 nośników mniejszościowych, 141, 143, 191
 wysokiego poziomu, 78, 379
 innowacje, 336
 intensywność światła, 159
 interpretacja długości kanału, 293
 inwersja, 218, 240, 243
 powierzchniowa, 217
 inwerter, 278, 280
 CMOS, 259, 276
 ITRS, 336
 izolacja, 402
 izolator, 27
 miedzynietaliczny, 110

J

jednolite wafle krzemowe, 359
 JFET, 266
 jonizacja
 atomów dawcy, 22
 atomów domieszek, 44, 53
 zderzeniowa, 140

K

kanał długi, 287
 pojemność
 dyfuzyjna, 192
 warstwy zubożonej, 134
 kasowanie flash, 312
 kierunek dryftu, 263
 kolektor
 Schottky'ego, 410
 typu n, 374
 kolizje, 58
 komora reaktywnego trawienia, 98
 komórka
 elementarna, 16, 17
 prymitywna, 17
 wielopoziomowa, 313
 kompensacja domieszek, 46
 komponenty
 mocy, 141
 optoelektryczne, 156, 166
 koncentracja
 domieszek krzemu, 40
 dziur, 42
 elektronów, 37, 52
 nośników, 42, 48
 nadmiarowych, 74
 samoistnych, 41
 w stanie równowagi, 74, 80
 kondensator MOS, 207, 218
 konduktancja
 małosygnałowa, 192
 wyjściowa, 295, 362, 386
 wyjściowa tranzystora bipolarnego, 387

konduktywność, 67
 kontakt omowy, 187, 201, 203
 korpus, 215
 krystaliczna struktura krzemu, 16
 krzem, 18
 na izolatorze, 359

L

laser, 172
 diodowy, 170
 powierzchniowy, 174
 liczba Gummela, 406
 bazy, 378
 emitera, 381
 limit prędkości źródła, 293
 linie wysokiego napięcia, 141
 litografia, 93
 elektronowa, 96
 mokra, 94
 optyczna, 89
 w ekstremalnie dalekim ultrafiolecie, 94
 zanurzeniowa, 94
 LPCVD, 108
 LSI, 86
 lumen, 169

Ł

ładowanie wafla, 98
 ładunek
 akumulacji, 211
 nośników nadmiarowych, 392
 powierzchniowy, 211
 tlenkowy ruchomy, 225
 tlenkowy stały, 225
 warstwy akumulacji, 219
 warstwy inwersji, 219
 warstwy zubożenia, 219
 zgromadzony w warstwie tlenku, 247

M

magazynowanie ładunku, 154, 200, 392
 małosygnałowy model
 diody, 155
 tranzystora, 397, 399
 masa efektywna, 29, 189
 materiał amorficzny, 106
 matryca
 CCD, 233, 242
 CMOS, 233, 236
 matryce kolorowe, 239
 MESFET GaAs, 262
 metalizacja, 110
 wielopoziomowa, 110
 metoda Monte Carlo, 294
 mikrofala, 32
 mnożnik Lagrange'a, 421
 mobilność elektronów i dziur, 60, 66
 moc
 dynamiczna, 281
 statyczna, 281
 upływu, 281
 wyjściowa, 163
 model
 BSIM, 366
 Ebersa-Molla, 389, 391, 411
 Gummela-Poona, 404
 kompaktowy, 365, 404
 małosygnałowy, 397
 pasmowy, 49
 pasmowy źródło-dren, 344
 prądowo-napięciowy
 tranzystora MOSFET, 272
 sterowany prądem, 400–403, 413
 symulacji obwodu, 404
 wiązań elektronów i dziur, 18
 wiązań GaAs, 23
 MODFET, 265
 modulacja
 długości kanału, 364
 szerokości bazy, 386

moduł wieloukładowy, 113
MOS, 207
MOSFET, 253
MOSFET UTB, 357

N

nadmiarowy nośnik mniejszościowy, 143
NAND, 313
nanodruk, 96
nanokrystaliczna pamięć nieulotna, 313
napiecie
 Early'ego, 388, 389
 jałowe, 161
 nasycenia drenu, 273, 285
 pasma płaskiego, 210
 progowe, 213, 218, 233
nasycenie
 potencjału powierzchniowego, 218
 prędkości, 66, 284, 289
neutralność ładunku, 45, 74
niestabilność cieplna, 185
nieulotna pamięć, 310
N-MOSFET, 257
nośnik
 mniejszościowy, 43, 423
 nadmiarowy, 146
 większościowy, 43
nośniki danych, 311
NVM, 310

O

obniżanie poziomu Fermiego, 179
obszar
 aktywny, 273, 389
 akumulacji, 222
 inwersyjny, 222
 ładunku przestrzennego, 152
 nasycenia, 273, 389
 odcięcia, 274
 omowy, 273
 zubożenia, 128, 222
odcięcie, 289
 kanału, 273

odnawialne źródła energii, 156
odwracanie obsadzeń, 171
ogniwa
 fotowoltaiczne, 156, 200
 fotowoltaiczne p+n, 162
 słoneczne, 156
określanie
 n i p, 37
 poziomu Fermiego, 41
OLED, 168
OPC, 93
optyczna korekcja bliskości, 93, 291
optyczne rozpraszanie fononowe, 66
organiczne diody luminescencyjne, 168
orientacja płaszczyzny wafla, 263
osadzanie, 118
 cienkich warstw, 105
 epitaksjalne, 110
 z fazy gazowej
 chemiczne, 107
 fizyczne, 107
oscylator pierścieniowy, 280
ośrodki rekombinacji, 75
oświetlenie półprzewodnikowe, 169

P

pakiet falowy elektronu, 30
pamięć, 329
 DRAM, 308
 dynamiczna o dostępie
 bezpośrednim, 305
 flash, 310, 312
 migracji metalu, 314
 nieulotna, 305
 nieulotna z pułapką ładunkową, 313
 NVM o zmiennej rezystancji, 314
 o dostępie bezpośrednim, 305
 przemiany fazowej, 314
 SRAM, 306
 statyczna o dostępie bezpośrednim, 305
 z bramką pływającą, 312
parametr
 charakteryzujący tranzystory
 MOSFET, 271

- efektu podłoża, 271
- modelu małosygnałowego, 398
- pasmo
 - domieszek, 44
 - energetyczne, 22
 - płaskie, 208, 240
 - progowe, 240
 - przewodnictwa, 29
 - walencyjne, 24
 - wzbronione, 24
- PCM, 314
- PECVD, 108
- penetracja domieszek, 229
- piec
 - pionowy, 89
 - poziomy, 88
- plan inwertera CMOS, 259
- planaryzacja, 113
- płytkie złącza, 104, 352
- P-MOSFET, 257
- podprogowy prąd upływu, 368
- podwyższone źródło, 358
- podwyższony dren, 358
- pojemność
 - dyfuzyjna, 155, 398
 - ładunkowa, 398
 - magazynowania ładunku, 155
 - małosygnałowa, 220
- pokrycie uskoków, 107
- polaryzacja
 - przewodzenia, 151
 - zaporowa, 133
- pole
 - elektryczne, 137
 - elektryczne przebicia, 349
 - napięcia progowego, 246
 - warstwy zubożonej, 130
- polerowanie chemiczno-mechaniczne, 113
- pomiar
 - energii pasma wzbronionego, 26
 - masy efektywnej, 31
 - napięcia tranzystora, 267
- potencjał
 - nośników, 322
 - powierzchniowy, 218
 - warstwy zubożonej, 130, 179
 - wbudowany, 125
- powierzchniowa ruchliwość, 260, 263
- powinowactwo elektronowe, 210
- poziom
 - energetyczny, 27
 - Fermiego, 35, 40
 - w półprzewodniku samoistnym, 43
 - płytki, 27
 - próżniowy, 210
 - quasi-Fermiego, 77, 148
 - szumów, 304
- półmetale, 28
- półprzewodnik, 26
 - czteroskładnikowy, 167
 - dwuskładnikowy, 166
 - HgPbTe, 48
 - o bezpośredniej przerwie energetycznej, 160
 - o pośredniej przerwie energetycznej, 160
 - organiczny, 160
 - prawie samoistny, 53
 - samoistny, 42
 - trójskładnikowy, 166
 - typu n, 21, 45
 - typu p, 21, 45
 - z bezpośrednią przerwą energetyczną, 75
 - z pośrednią przerwą energetyczną, 75
 - złożony, 23
- prawdopodobieństwo tunelowania, 186
- prawo
 - Gausa, 261
 - Moore'a, 334
- prąd
 - bazy, 380
 - diody, 157
 - dryftu, 67, 199, 425
 - dyfuzji, 69, 73, 425
 - kolana, 380
 - kolektora, 375, 376
 - nasycenia, 150
 - obszaru ładunku przestrzennego, 152
 - podprogowy, 338, 366

prąd
 progowy, 172
 stanu włączenia, 254, 279
 wpływowy złącza, 154
 wpływu podprogowego, 342
 wpływu stanu wyłączenia, 254
 wyłączenia, 338
 zwarciov, 157, 161

prędkość
 dryftu, 60, 62
 elektronów warstwy inwersyjnej, 283
 iniekcji źródła, 293
 nasycenia, 66, 282
 nośników, 322
 termiczna, 58, 61

problem pokrycia uskoków, 107

proca, 64

proces damasceński, 111

producent układów scalonych, 86

produkcja komponentów
 optoelektrycznych, 166
 półprzewodnikowych, 85

profil
 domieszkowania, 99
 napięcia kanału, 274

projektowanie pod kątem możliwości
 produkcji, 356

prostownik, 124, 185
 synchroniczny, 185

próg inwersji, 214, 240

przebiecie
 dielektryka, 349
 lawinowe, 139
 tunelowe, 138, 139
 złącza, 136

przechowywanie kodu, 310

przekrój
 poprzeczny tranzystora, 358
 złącza drenu, 353

przelotki, 111

przenoszenie napięcia inwertera, 278

przerost prędkości, 282, 293

przerwa energetyczna
 emitera, 383
 w półprzewodnikach, 159

przesłuch, 113, 299

przesunięcie fazowe fotomaski, 93

przesuwanie pakietów ładunków, 237

przetwarzanie wafla krzemu, 87

przetwornik termoelektryczny, 60

przewodniki, 27

przyrząd ze sprzężeniem ładunkowym, 234, 242

przyspieszona dyfuzja stacjonarna, 105

PVD, 107

Q

quasi-równowaga, 77, 80

R

RAM, 305

reaktywne trawienie jonowe, 97

redukcja grubości elektrycznej, 347

redyfuzja domieszki, 99

rekombinacja
 bezpośrednia, 75
 elektron-dziura, 57, 74
 promienista, 75

rezonans cyklotronowy, 31

rezystancja, 68
 elektrody bramki, 296
 kontaktu, 189, 290
 pasożytnicza, 289

rezystywność arkusza, 290

RIE, 97

rodzaje ciał stałych, 105

rozdzielczość litografii, 93

rozkład
 elektronów i dziur, 38
 Fermiego-Diraca, 35, 38, 419
 nośników mniejszościowych, 148
 nośników większościowych, 148

rozpraszanie
 domieszek zjonizowanych, 63
 fononowe, 63
 jonów domieszek, 64, 65
 kulombowskie, 302

rozproszony reflektor Bragga, 173

- rozpylanie
 - jonowe, 106
 - reaktywne, 106
 - rozzrut implantacji, 100
 - rozszerzanie
 - bazy, 396
 - płytkiego złącza, 352
 - równanie
 - dyfuzji, 196
 - falowe Schrödingera, 30
 - Poissona, 127
 - równowaga cieplna, 33, 34
 - RRAM, 314
 - RTA, 104
 - RTP, 104
 - ruch cieplny, 57
 - ruchliwość, 81
 - efektywna, 260
 - elektronów i dziur, 62, 65, 262
 - powierzchniowa, 260, 263
 - rozproszenia fononowego, 63
- S**
- schemat
 - blokowy układu zasilającego, 185
 - dwubramkowego tranzystora MOSFET, 361
 - modelu tranzystora bipolarnego, 405
 - przetwornika termoelektrycznego, 60
 - tranzystora bipolarnego, 401
 - tranzystora FET, 264
 - tranzystora MOSFET, 256, 258
 - układu kondensatorów, 345
 - selektywność trawienia, 97
 - sieć krystaliczna krzemu, 16
 - silna inwersja, 216
 - siła kulombowska, 64
 - skalowanie, 307, 334
 - skokowe złącze p-n, 129
 - skuteczna elektryczna długość kanału, 343
 - SOI, 357
 - spadek wzmocnienia
 - napięcia, 367, 368
 - wzmocnienia prądowego, 387
 - sprawność emitera, 382
 - sprężenie
 - optyczne, 172
 - zwrotne o stałych rozproszonych, 174
 - SRAM, 305, 306
 - stała
 - dyfuzji, 70, 74
 - Richardsona, 182
 - sieciowa, 16
 - statystyka Fermiego-Diraca, 35
 - stężenie tlenu, 36
 - stopnie scalenia, 86
 - stosunek sygnał-szum, 303
 - struktura
 - amorficzna, 105
 - CMOS, 323
 - diamentu, 17
 - diod LED, 165
 - HEMT, 266
 - komplementarna MOS, 254, 258
 - kontaktu omowego, 187
 - krystaliczna, 105
 - krystalograficzna GaAs, 23
 - krzemu, 18
 - MOS, 243
 - polikrystaliczna, 105
 - rozgałęziona, 297
 - tranzystora bipolarnego, 401
 - tranzystora MOSFET, 254
 - typu metal-tlenek-półprzewodnik, 207
 - studnia kwantowa, 168
 - substancja fotolitograficzna, 91
 - symulacja
 - cząstek, 294
 - pracy komponentów, 364
 - pracy obwodu, 365
 - szczytowe pole elektryczne, 137
 - szerokość
 - kanału, 260
 - warstwy zubożonej, 131, 134
 - szum
 - biały, 299
 - cieplny tranzystora MOSFET, 299
 - migotania tranzystora MOSFET, 302

szum
 telegraficzny, 302
 termiczny, 301
 szybkie
 chemiczne osadzanie, 104
 wyżarzanie termiczne, 104
 szybkość pracy inwertera, 278

Ś

ścieżka przewodząca, 112
 średni czas ruchu swobodnego, 58, 62
 średnia droga swobodna, 62
 środek pasma wzbronionego, 214
 światło, 158
 białe, 169
 światłowod, 175

T

tandemowe ogniwa fotowoltaiczne, 164
 technologia
 BiCMOS, 373
 CMOS, 314
 MOSFET, 254
 planarna, 86
 produkcji komponentów, 85
 SOI, 357, 359
 wysokiej wydajności, 337
 TED, 105
 temperatura, 68, 199
 teoretyczna rezystancja właściwa
 kontaktu, 190
 teoria emisji termoelektronowej, 181
 test
 pewności nośników gorących, 313
 sprawdzający żywotność produktu, 114
 termiczny przepływu elektronów, 59
 TFT, 106
 transkonduktancja, 276, 316, 397
 transport balistyczny, 66
 tranzystor, 185
 bipolarny, 373
 bipolarny złączowy, 373
 BJT, 384

cienkowarstwowy, 106
 dryftowy, 393, 412
 FET, 253
 FET z domieszkami modulacyjnymi, 265
 FinFET, 362
 HBT, 384
 MESFET, 318
 MOS, 208, 253
 MOSFET, 185, 318
 o bardzo cienkim korpusie, 357
 wielobramkowy, 357–362
 ze złączem Schottky'ego, 352
 NFET, 257
 N-MOSFET, 319
 PFET, 257
 P-MOSFET, 261, 319
 polowy, 253
 polowy złączowy, 266
 wzbogacony, 217, 265
 zubożony, 265

trawienie
 mokre, 96
 plazmowe, 97
 suche, 97
 tunelowanie kwantowo-mechaniczne, 186
 tunelowy wpływ bramki, 367
 tworzenie par elektron-dziura, 140
 typy pamięci, 305

U

układ
 analogowy, 396
 elektronów, 36
 pomiarowy charakterystyk, 221
 scalony, 85
 scalony typu MOS, 333
 ULSI, 86
 uniwersalna skuteczna mobilność, 262
 wpływ
 tlenku pola, 368
 tunelowy, 347
 urządzenie krokowe, 93
 uskoki, 107

utlenianie, 117
 dwustopniowe, 90
 krzemu, 88, 90
 mokre, 88
 suche, 88
 wysokotemperaturowe, 108

V

VCSL, 174
 VLSI, 86
 VTC, 276

W

wafel
 krzemowy, 18, 87, 89
 SOI, 360
 wahanie podprogowe, 340, 367
 warstwa
 akumulacji, 211
 inwersyjna, 216
 inwersyjna tranzystora, 267
 przechowująca ładunek, 312
 substancji fotolitograficznej, 92
 zubożona
 analiza, 202
 grubość, 180
 pojemność, 134
 pole, 130
 potencjał, 130
 równanie ciągłości prądu, 144
 szerokość, 131
 złącza p-n, 124
 warunek
 brzegowy kontaktu omowego, 189
 brzegowy Shockleya, 143
 progowy, 213, 243
 równowagi, 33
 odwracania obsadzeń, 171
 pasma płaskiego, 208
 wektor fali, 30
 wewnętrzne wzmocnienie napięcia, 317
 wiązania elektronów i dziur, 18
 widmowa gęstość szumu, 299

wielkosygnałowa symulacja pracy obwodu, 404
 wielobramkowy tranzystor MOSFET, 357–362
 wizualizacja, 118
 kryształu krzemu, 49
 właściwa rezystancja kontaktu, 188
 wpływy z rejonu zubożonego, 151
 wprowadzanie domieszek, 104
 współczynnik
 absorpcji światła, 159
 aktywności, 281
 efektu podłoża, 269
 ładunku objętości, 271
 szumów, 304
 wypełnienia, 164
 wzmocnienia, 295
 wsteczny profil domieszkowania, 269, 369
 wstępne osadzanie, 104
 wydajność
 kwantowa, 165
 świetlna lamp, 169
 wygrzewanie wstępne, 114
 wykres
 E-k, 161
 gęstości stanów, 38
 Gummela, 379, 385, 411
 koncentracji nośników, 70
 pasm energetycznych, 38, 71, 177, 188
 pasmowy, 126
 pasmowy energii, 124
 półlogarytmiczny, 152
 wykrywacz podczerwieni, 48
 wymrażanie, 47, 53
 wynalazcy tranzystora, 16
 wypalarka, 92
 wysokość bariery Schottky'ego, 176
 wyżarzanie
 błyskawiczne, 105
 laserowe, 105
 w piecu, 104
 wyżłobienie
 głębokie, 402
 izolujące, 256
 płytkie, 402

- ul>
- wzmacniacz, 295
 - różnicowy, 306
 - światła, 170
- wzmocnienie
 - napięciowe, 296
 - prądowe, 382, 409
 - wspólnego emitera, 381
 - wspólnej bazy, 381
 - prądu przewodzenia, 391
 - prądu wstecznego, 391
- wzory na gęstość stanów, 415
- Z**
- zagęszczenie
 - elektronów, 38
 - fononów, 63
 - nośników mniejszościowych, 143
 - zakłócenia
 - w obwodach cyfrowych, 304
 - występujące wewnątrz podzespołów, 299
 - zależność
 - de Broglie’a, 415
 - Einsteina, 71, 73
 - zasada ekwipartycji energii, 58
 - zasięg implantacji, 100
 - zastępcza elektryczna grubość tlenku, 338, 348
 - zastosowanie
 - diod laserowych, 175
 - diod Schottky’ego, 184
 - komponentów wysokonapięciowych, 141
 - rozgałęzionej struktury, 297
 - zawężanie przerwy energetycznej, 383
 - zjawisko
 - kwantowe, 233
 - wymrażania, 48
 - złącze
 - drenu, 353
 - krzemek-krzem, 180
 - metal-półprzewodnik, 123, 176, 193, 201
 - p-n, 102, 114, 153, 192
 - podstawowe, 110
 - Schottky’ego, 352
 - skokowe, 124
 - zmiany koncentracji nośników, 48
 - zmniejszanie skali, 336
 - zubożenie, 240, 243
 - bramki, 228
 - bramki polikrystalicznej, 250
 - powierzchni, 212
 - zwężenie przerwy energetycznej emitera, 384

PROGRAM PARTNERSKI

GRUPY WYDAWNICZEJ HELION



1. ZAREJESTRUJ SIĘ
2. PREZENTUJ KSIĄŻKI
3. ZBIERAJ PROWIZJĘ

Zmień swoją stronę WWW
w działający bankomat!

Dowiedz się więcej i dołącz już dzisiaj!

<http://program-partnerski.helion.pl>

GRUPA WYDAWNICZA



Helion SA

Nowoczesnej elektroniki należy uczyć się od najlepszych!

Elektronika jest jednym z ważniejszych i zarazem najtrudniejszych przedmiotów wykładanych na studiach technicznych. Co istotne, dogłębne zrozumienie jej prawideł, jak również opanowanie pewnej wiedzy praktycznej okazuje się niezwykle istotne dla osób zajmujących się zawodowo informatyką oraz niektórymi dziedzinami techniki, zwłaszcza półprzewodnikami, projektowaniem układów scalonych, systemami mikroelektromechanicznymi, optyką, nanotechnologią i materiałoznawstwem.

Książka ta jest kierowana przede wszystkim do studentów kierunków technicznych, ale mogą z niej korzystać również słuchacze studiów doktoranckich, a także inżynierowie i naukowcy. Zostanie szczególnie doceniona przez praktyków zajmujących się projektowaniem i funkcjonowaniem nowoczesnych urządzeń elektronicznych. Książka zawiera przydatne informacje dotyczące tranzystorów i ich zastosowania w projektowaniu obwodów. Przedstawiono tu dogłębną analizę zagadnień związanych z podstawowymi komponentami układów elektronicznych. Przybliżono zasady działania takich urządzeń jak ogniwa fotowoltaiczne, diody LED, diody laserowe itp.

W książce przedstawiono:

- wyczerpujące wprowadzenie do zagadnień związanych z półprzewodnikami z uwzględnieniem rekombinacji elektronów i dziur elektronowych
- technologię produkcji komponentów półprzewodnikowych
- złącza p-n i złącza metal-półprzewodnik
- informacje o tranzystorach MOS, w tym o matrycach CCD i CMOS
- tranzystory MOFSET, pamięci SRAM i DRAM oraz pamięć nieulotną flash
- tranzystory bipolarne

Chenming Calvin Hu

profesor Uniwersytetu Kalifornijskiego w Berkeley, członek amerykańskiego stowarzyszenia inżynierów National Academy of Engineering, a także Chińskiej Akademii Nauk oraz Instytutu Inżynierów Elektryków i Elektroników (IEEE). Jest uznanym autorytetem w dziedzinie mikroelektroniki oraz laureatem licznych nagród i wyróżnień: w 1997 r. otrzymał Jack Morton Award; w 2002 r. został uhonorowany Solid-State Circuits Award; w 2009 r. został odznaczony Medalem Jun-ichi Nishizawy. Jest promotorem ponad 60 rozpraw doktorskich, opublikował ponad 800 artykułów i opatentował ponad 100 rozwiązań technicznych.

Helion	
42286	numer katalogowy
księgarnia internetowa	
http://helion.pl	
zamówienia telefoniczne	
	0 801 339900
	0 601 339900
Informatyka w najlepszym wydaniu	

Sprawdź najnowsze promocje:
● <http://helion.pl/promocje>
Książki najchętniej czytane:
● <http://helion.pl/bestsellery>
Zamów informacje o nowościach:
● <http://helion.pl/novosci>

Helion SA
ul. Kościuszki 1c, 44-100 Gliwice
tel.: 32 230 98 63
e-mail: helion@helion.pl
<http://helion.pl>



ISBN 978-83-283-2090-1



9 788328 320901

cena: 89,00 zł

sięgnij po **WIĘCEJ**



KOD KORZYŚCI